

Docket No.: 60188-772

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277

Yukihiro SASAGAWA : Confirmation Number:

Serial No.: : Group Art Unit:

Filed: February 12, 2004 : Examiner:

For: CLOCK CONTROL IN SEQUENTIAL CIRCUIT FOR LOW-POWER OPERATION  
AND CIRCUIT CONVERSION TO LOW-POWER SEQUENTIAL CIRCUIT

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Information Disclosure  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-034532, filed February 13, 2003**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:prg  
Facsimile: (202) 756-8087  
**Date: February 12, 2004**

日本国特許庁  
JAPAN PATENT OFFICE

60188-772  
Sasagawa  
Feb. 12, 2004  
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 2月13日

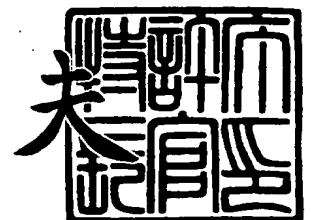
出願番号  
Application Number: 特願2003-034532  
[ST. 10/C]: [JP2003-034532]

出願人  
Applicant(s): 松下電器産業株式会社

2004年 1月14日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3111504

【書類名】 特許願

【整理番号】 5038230007

【提出日】 平成15年 2月13日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 7/00

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 笹川 幸宏

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100077931

    【弁理士】

    【氏名又は名称】 前田 弘

【選任した代理人】

    【識別番号】 100094134

    【弁理士】

    【氏名又は名称】 小山 廣毅

【選任した代理人】

    【識別番号】 100110939

    【弁理士】

    【氏名又は名称】 竹内 宏

【選任した代理人】

    【識別番号】 100110940

    【弁理士】

    【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

## 【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

## 【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

## 【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

**【書類名】 明細書**

**【発明の名称】** 順序回路、記憶素子、クロック発生回路およびクロック制御方法、ならびに回路変更方法および回路設計支援装置、半導体集積回路およびそれを備えた電子装置、ならびに電子制御装置およびそれを備えた移動体

**【特許請求の範囲】**

**【請求項 1】** 与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた順序回路であって、

前記複数の記憶素子は、マスターセルに相当する記憶素子と、当該マスターセルの記憶内容が変化したときに入力に変化するスレーブセルに相当する記憶素子とを含み、かつ、

前記マスターセルの記憶内容が変化したとき、変化信号を出力する変化検出手段と、

前記変化信号に基づいてクロックパルスを発生させ、前記スレーブセルに前記与えられたクロックとして当該クロックパルスを与えるクロックパルス発生器とを備えた

ことを特徴とする順序回路。

**【請求項 2】** 請求項 1 に記載の順序回路において、

前記マスターセルを少なくとも一つ含むマスターセルグループと、

前記スレーブセルであって、前記マスターセルグループに属するマスターセルのいずれかの記憶内容が変化したときに入力に変化するスレーブセルを少なくとも一つ含むクロックドメインとを備え、

前記変化検出手段は、前記マスターセルグループに属するマスターセルのいずれかの記憶内容が変化したとき、前記変化信号を出力するものであり、

前記クロックパルス発生器は、前記クロックドメインに属するすべてのスレーブセルに前記クロックパルスを与えるものである

ことを特徴とする順序回路。

**【請求項 3】** 請求項 1 に記載の順序回路において、

前記変化検出手段は、前記マスターセルの出力信号に基づいて前記マスターセルの記憶内容が変化したか否かを判断し、当該変化を検出したとき、前記変化信

号を出力する変化検出器である  
ことを特徴とする順序回路。

【請求項 4】 請求項 1 に記載の順序回路において、

前記マスターセルは、当該マスターセルの記憶内容が変化したことを示す原変化信号を出力する変化検出回路を有する変化出力付き記憶素子であり、

前記変化検出手段は、前記変化検出回路を含み、かつ、当該変化検出回路が出力する原変化信号に基づいて前記変化信号を出力するものである  
ことを特徴とする順序回路。

【請求項 5】 請求項 1 に記載の順序回路において、

前記変化検出手段は、前記クロックパルス発生器に前記クロックパルスの発生を要求する要求信号を伝達するための信号線であって、当該変化検出手段が出力する変化信号を受けたとき、前記要求信号を第 1 の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第 2 の論理値に変化させるクロックパルス発生要求信号線を有するものであり、

前記クロックパルス発生器は、前記要求信号が前記第 1 の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与える更新出力付きクロックパルス発生器である

ことを特徴とする順序回路。

【請求項 6】 与えられたクロックに同期して記憶内容を更新する記憶素子であって、

前記与えられたクロックが第 1 の論理値に変化したとき、与えられた信号を取り込み、前記与えられたクロックが第 2 の論理値に変化したとき、当該取り込んだ信号を当該記憶素子の記憶内容として保持するラッチ回路と、

前記ラッチ回路の入力と出力とが異なる場合に前記与えられたクロックが前記第 1 の論理値に変化したとき、当該記憶素子の記憶内容が変化したことを示す変化信号を出力する変化検出回路とを備えた  
ことを特徴とする記憶素子。

【請求項 7】 請求項 6 に記載の記憶素子において、

前記与えられたクロックが前記第 2 の論理値に変化するとき、与えられた信号を取り込み、前記与えられたクロックが前記第 1 の論理値に変化するとき、当該取り込んだ信号を保持するマスターラッチ回路を備え、

前記ラッチ回路は、前記マスターラッチから出力される信号を取り込むスレーブラッチ回路であり、

前記変化検出回路は、

前記スレーブラッチ回路の入力と出力とが異なるとき、所定の論理値を出力する第 1 の論理素子と、

前記第 1 の論理素子の出力を遅延させる遅延素子と、

前記遅延素子の出力が前記所定の論理値であり、かつ、前記与えられたクロックが前記第 1 の論理値であるとき、前記変化信号を出力する第 2 の論理素子とを有するものである

ことを特徴とする記憶素子。

【請求項 8】 請求項 6 に記載の記憶素子において、

前記変化検出回路は、

前記与えられたクロックに基づいて、当該与えられたクロックよりも短いパルス幅の基本クロックを生成する基本クロック生成回路と、

前記ラッチ回路の入力と出力とが異なるとき、所定の論理値を出力する第 1 の論理素子と、

前記第 1 の論理素子の出力が前記所定の論理値であり、かつ、前記基本クロックが前記第 1 の論理値であるとき、前記変化信号を出力する第 2 の論理素子とを有するものであり、

前記ラッチ回路は、前記与えられたクロックとして前記変化信号を受けるものである

ことを特徴とする記憶素子。

【請求項 9】 クロックパルスの発生を要求する要求信号に基づいて当該クロックパルスを発生させるクロック発生回路であって、

前記クロックパルスを発生させるクロックパルス発生器と、

前記クロックパルス発生器に前記要求信号を伝達するための信号線であって、



要求発行信号を受けたとき、前記要求信号を第 1 の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第 2 の論理値に変化させるクロックパルス発生要求信号線とを備え、

前記クロックパルス発生器は、前記要求信号が前記第 1 の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与えるものであることを特徴とするクロック発生回路。

【請求項 1 0】 請求項 9 に記載のクロック発生回路において、

前記クロックパルス発生器は、

前記クロックパルスの元となる原クロックが与えられるものであり、かつ、

前記要求信号が前記第 1 の論理値に変化したとき、前記原クロックの立ち下がりに同期して所定の論理値を保持するラッチ回路と、

前記ラッチ回路が保持する論理値が前記所定の論理値であるとき、前記クロックパルスとして前記原クロックに含まれる正極性パルスを出力する第 1 の論理素子と、

前記要求信号が前記第 1 の論理値に変化したとき、前記原クロックの立ち下がりに同期して前記要求更新信号を出力する第 2 の論理素子とを有するものであることを特徴とするクロック発生回路。

【請求項 1 1】 請求項 9 に記載のクロック発生回路において、

前記クロックパルス発生器は、

前記クロックパルスの元となる原クロックが与えられるものであり、かつ、

前記要求信号が前記第 1 の論理値に変化したとき、前記原クロックの立ち上がりに同期して所定の論理値を保持するラッチ回路と、

前記ラッチ回路が保持する論理値が前記所定の論理値であるとき、前記クロックパルスとして前記原クロックに含まれる負極性パルスを出力する第 1 の論理素子と、

前記要求信号が前記第 1 の論理値に変化したとき、前記原クロックの立ち上がりに同期して前記要求更新信号を出力する第 2 の論理素子とを有するものであることを特徴とするクロック発生回路。

【請求項 12】 与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた順序回路のクロック制御方法であって、

前記複数の記憶素子のうち、ある記憶素子の記憶内容が変化したことを検出するステップと、

前記検出がされたときにクロックパルスが発生させ、前記複数の記憶素子のうち、前記記憶素子の記憶内容が変化したときに入力が増化する記憶素子に、前記与えられたクロックとして当該クロックパルスを与えるステップとを有することを特徴とするクロック制御方法。

【請求項 13】 与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた原順序回路の接続情報に基づいて、新順序回路の接続情報を得る回路変更方法であって、

前記複数の記憶素子は、マスターセルに相当する記憶素子と、当該マスターセルの記憶内容が変化したときに入力が増化するスレーブセルに相当する記憶素子とを含み、かつ、

前記原順序回路の接続情報から、前記スレーブセルを抽出するスレーブセル抽出ステップと、

前記原順序回路の接続情報から、前記抽出されたスレーブセルごとに、当該スレーブセルに対応するマスターセルを少なくとも一つ含むマスターセルグループを抽出するマスターセルグループ抽出ステップと、

前記抽出されたマスターセルグループに属するマスターセルのいずれかの記憶内容が変化したとき、変化信号を出力する変化検出手段の接続情報を生成する変化検出手段生成ステップと、

前記抽出されたスレーブセルのうち、前記抽出されたマスターセルグループが共通であるものを含むようにクロックドメインを定め、前記原順序回路の接続情報から、当該クロックドメインに属するスレーブセルが入力とするクロックを抽出し、この抽出されたクロックに基づいてクロックパルス発生器の接続情報を生成するクロックパルス発生器生成ステップと、

前記原順序回路の接続情報と、前記変化検出手段生成ステップによって生成された変化検出手段の接続情報と、前記クロックパルス発生器生成ステップによっ

て生成されたクロックパルス発生器の接続情報とを合成して、前記新順序回路の接続情報を得る接続情報合成ステップとを有し、

前記クロックパルス発生器は、前記変化検出手段から出力される変化信号に基づいて、前記クロックパルス発生器生成ステップによって抽出されたクロックとしてクロックパルスを発生させるものであることを特徴とする回路変更方法。

【請求項 1 4】 請求項 1 3 に記載の回路変更方法において、

前記変化検出手段は、前記マスターセルの出力信号に基づいて前記マスターセルの記憶内容が変化したか否かを判断し、当該変化を検出したとき、前記変化信号を出力する変化検出器であり、

前記変化検出手段生成ステップは、前記原順序回路の接続情報から、前記マスターセルグループ抽出ステップによって抽出されたマスターセルグループごとに、当該マスターセルグループに属するマスターセルの出力信号を抽出し、この抽出した出力信号に基づいて、前記変化検出器の接続情報を生成するものであることを特徴とする回路変更方法。

【請求項 1 5】 請求項 1 3 に記載の回路変更方法において、

前記新順序回路におけるマスターセルは、当該マスターセルの記憶内容が変化したことを示す原変化信号を出力する変化検出回路を有する変化出力付き記憶素子であり、

前記変化検出手段は、前記変化検出回路を含み、かつ、当該変化検出回路が出力する原変化信号に基づいて前記変化信号を出力するものであり、

前記変化検出手段生成ステップは、前記変化検出手段の接続情報として、前記マスターセルグループ抽出ステップによって抽出されたマスターセルグループに属するマスターセルを、前記変化出力付き記憶素子に変換するための変換情報を生成するものである

ことを特徴とする回路変更方法。

【請求項 1 6】 請求項 1 3 に記載の回路変更方法において、

前記変化検出手段は、前記クロックパルス発生器に前記クロックパルスの発生を要求する要求信号を伝達するための信号線であって、当該変化検出手段が出力

する変化信号を受けたとき、前記要求信号を第1の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第2の論理値に変化させるクロックパルス発生要求信号線を有するものであり、

前記クロックパルス発生器は、前記要求信号が前記第1の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与える更新出力付きクロックパルス発生器であり、

当該回路変更方法は、

前記クロックパルス発生器生成ステップによって生成されたクロックパルス発生器の接続情報を、前記更新出力付きクロックパルス発生器の接続情報に変換するための変換情報を生成するクロックパルス発生器変換ステップを有し、

前記接続情報合成ステップは、前記原順序回路の接続情報と、前記変化検出手段生成ステップによって生成された変化検出手段の接続情報と、前記クロックパルス発生器生成ステップによって生成されたクロックパルス発生器の接続情報と、前記クロックパルス発生器変換ステップによって生成された変換情報とを合成して、前記新順序回路の接続情報を得るものであることを特徴とする回路変更方法。

【請求項17】 与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた原順序回路の接続情報に基づいて、新順序回路の接続情報を得る回路設計支援装置であって、

前記複数の記憶素子は、マスターセルに相当する記憶素子と、当該マスターセルの記憶内容が変化したときに入力に変化するスレーブセルに相当する記憶素子とを含み、かつ、

前記原順序回路の接続情報から、前記スレーブセルを抽出するスレーブセル抽出手段と、

前記原順序回路の接続情報から、前記抽出されたスレーブセルごとに、当該スレーブセルに対応するマスターセルを少なくとも一つ含むマスターセルグループを抽出するマスターセルグループ抽出手段と、

前記抽出されたマスターセルグループに属するマスターセルのいずれかの記憶

内容が変化したとき、変化信号を出力する変化検出手段の接続情報を生成する変化検出手段生成手段と、

前記抽出されたスレーブセルのうち、前記抽出されたマスターセルグループが共通であるものを含むようにクロックドメインを定め、前記原順序回路の接続情報から、当該クロックドメインに属するスレーブセルが入力とするクロックを抽出し、この抽出されたクロックに基づいてクロックパルス発生器の接続情報を生成するクロックパルス発生器生成手段と、

前記原順序回路の接続情報と、前記変化検出手段生成手段によって生成された変化検出手段の接続情報と、前記クロックパルス発生器生成手段によって生成されたクロックパルス発生器の接続情報とを合成して、前記新順序回路の接続情報を得る接続情報合成手段とを有し、

前記クロックパルス発生器は、前記変化検出手段から出力される変化信号に基づいて、前記クロックパルス発生器生成手段によって抽出されたクロックとしてクロックパルスを発生させるものであることを特徴とする回路設計支援装置。

【請求項 1 8】 請求項 1 7 に記載の回路設計支援装置において、

前記変化検出手段は、前記マスターセルの出力信号に基づいて前記マスターセルの記憶内容が変化したか否かを判断し、当該変化を検出したとき、前記変化信号を出力する変化検出器であり、

前記変化検出手段生成手段は、前記原順序回路の接続情報から、前記マスターセルグループ抽出手段によって抽出されたマスターセルグループごとに、当該マスターセルグループに属するマスターセルの出力信号を抽出し、この抽出した出力信号に基づいて、前記変化検出器の接続情報を生成するものであることを特徴とする回路設計支援装置。

【請求項 1 9】 請求項 1 7 に記載の回路設計支援装置において、

前記新順序回路におけるマスターセルは、当該マスターセルの記憶内容が変化したことを示す原変化信号を出力する変化検出回路を有する変化出力付き記憶素子であり、

前記変化検出手段は、前記変化検出回路を含み、かつ、当該変化検出回路が出

力する原変化信号に基づいて前記変化信号を出力するものであり、

前記変化検出手段生成手段は、前記変化検出手段の接続情報として、前記マスターセルグループ抽出手段によって抽出されたマスターセルグループに属するマスターセルを、前記変化出力付き記憶素子に変換するための変換情報を生成するものである

ことを特徴とする回路設計支援装置。

【請求項 2 0】 請求項 1 7 に記載の回路設計支援装置において、

前記変化検出手段は、前記クロックパルス発生器に前記クロックパルスの発生を要求する要求信号を伝達するための信号線であって、当該変化検出手段が出力する変化信号を受けたとき、前記要求信号を第 1 の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第 2 の論理値に変化させるクロックパルス発生要求信号線を有するものであり、

前記クロックパルス発生器は、前記要求信号が前記第 1 の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与える更新出力付きクロックパルス発生器であり、

当該回路設計支援装置は、

前記クロックパルス発生器生成手段によって生成されたクロックパルス発生器の接続情報を、前記更新出力付きクロックパルス発生器の接続情報に変換するための変換情報を生成するクロックパルス発生器変換手段を有し、

前記接続情報合成手段は、前記原順序回路の接続情報と、前記変化検出手段生成手段によって生成された変化検出手段の接続情報と、前記クロックパルス発生器生成手段によって生成されたクロックパルス発生器の接続情報と、前記クロックパルス発生器変換手段によって生成された変換情報とを合成して、前記新順序回路の接続情報を得るものである

ことを特徴とする回路設計支援装置。

【請求項 2 1】 与えられたクロックに同期して記憶内容を更新する記憶素子を複数有する順序回路を備えた半導体集積回路であって、

前記複数の記憶素子は、マスターセルに相当する記憶素子と、当該マスターセ

ルの記憶内容が変化したときに入力に変化するスレーブセルに相当する記憶素子とを含み、かつ、

前記順序回路は、

前記マスターセルの記憶内容が変化したとき、変化信号を出力する変化検出手段と、

前記変化信号に基づいてクロックパルスを発生させ、前記スレーブセルに前記与えられたクロックとして当該クロックパルスを与えるクロックパルス発生器とを有する

ことを特徴とする半導体集積回路。

【請求項 2 2】 請求項 2 1 に記載の半導体集積回路において、

前記順序回路は、

前記マスターセルを少なくとも一つ含むマスターセルグループと、

前記スレーブセルであって、前記マスターセルグループに属するマスターセルのいずれかの記憶内容が変化したときに入力に変化するスレーブセルを少なくとも一つ含むクロックドメインとを有し、

前記変化検出手段は、前記マスターセルグループに属するマスターセルのいずれかの記憶内容が変化したとき、前記変化信号を出力するものであり、

前記クロックパルス発生器は、前記クロックドメインに属するすべてのスレーブセルに前記クロックパルスを与えるものである

ことを特徴とする半導体集積回路。

【請求項 2 3】 請求項 2 1 に記載の半導体集積回路において、

前記変化検出手段は、前記マスターセルの出力信号に基づいて前記マスターセルの記憶内容が変化したか否かを判断し、当該変化を検出したとき、前記変化信号を出力する変化検出器である

ことを特徴とする半導体集積回路。

【請求項 2 4】 請求項 2 1 に記載の半導体集積回路において、

前記マスターセルは、当該マスターセルの記憶内容が変化したことを示す原変化信号を出力する変化検出回路を有する変化出力付き記憶素子であり、

前記変化検出手段は、前記変化検出回路を含み、かつ、当該変化検出回路が出

力する原変化信号に基づいて前記変化信号を出力するものであることを特徴とする半導体集積回路。

【請求項 2 5】 請求項 2 1 に記載の半導体集積回路において、

前記変化検出手段は、前記クロックパルス発生器に前記クロックパルスの発生を要求する要求信号を伝達するための信号線であって、当該変化検出手段が出力する変化信号を受けたとき、前記要求信号を第 1 の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第 2 の論理値に変化させるクロックパルス発生要求信号線を有するものであり、

前記クロックパルス発生器は、前記要求信号が前記第 1 の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与える更新出力付きクロックパルス発生器である

ことを特徴とする半導体集積回路。

【請求項 2 6】 半導体集積回路を備えた通信装置であって、

前記半導体集積回路は、請求項 2 1 に記載の半導体集積回路であることを特徴とする通信装置。

【請求項 2 7】 半導体集積回路を備えた情報再生装置であって、

前記半導体集積回路は、請求項 2 1 に記載の半導体集積回路であることを特徴とする情報再生装置。

【請求項 2 8】 半導体集積回路を備えた画像再生装置であって、

前記半導体集積回路は、請求項 2 1 に記載の半導体集積回路であることを特徴とする画像表示装置。

【請求項 2 9】 半導体集積回路を備えた電子装置であって、

前記半導体集積回路は、請求項 2 1 に記載の半導体集積回路であることを特徴とする電子装置。

【請求項 3 0】 半導体集積回路を備えた電子制御装置であって、

前記半導体集積回路は、請求項 2 1 に記載の半導体集積回路であることを特徴とする電子制御装置。

【請求項 3 1】 電子制御装置を備えた移動体であって、



前記電子制御装置は、請求項 30 に記載の電子制御装置であることを特徴とする移動体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路のクロック制御技術および回路変換技術に関するものであり、特に、順序回路の動作電力を低減するためのクロック制御技術、および一般的な順序回路を低電力動作可能な順序回路に変換するための回路変換技術に関する。さらに、そのような低電力動作可能な順序回路を有する半導体集積回路を備えた通信装置、情報再生装置、画像表示装置その他電子装置および電子制御装置、ならびにそのような電子制御装置を備えた移動体に関する。

【0002】

【従来の技術】

順序回路の低電力動作を実現する回路方式の一つにクロック制御がある。従来のクロック制御技術は、大きく 2 種類に分けることができる。

【0003】

図 34 は、従来のクロック制御技術の概要を示す。同図 (a) に示したデータ制御回路 100 は、与えられたクロック CLK に同期して記憶内容を更新する記憶素子 11 の出力および与えられたデータのいずれか一方を、データ入力選択信号 SEL によって選択し、記憶素子 11 の入力とする。記憶素子 11 の記憶内容が更新されるのは、与えられたクロック CLK の立ち上がりまたは立ち下りのタイミングである。したがって、データ制御回路 100 が新しい記憶内容として記憶素子 11 の出力を選択しているということと、クロック CLK が変化しないということとは、記憶素子 11 の記憶内容を更新する機能について等価である。そこで、この回路構成を、同図 (b) に示すように、クロック制御回路 101 を備えた回路構成に置き換えることが可能となる。クロック制御回路 101 は、データ入力選択信号 SEL に基づいて記憶素子 11 に与えるべきクロック CLK の制御を行う。そして、記憶素子 11 は、クロック CLK に同期して記憶内容を更新する（たとえば、特許文献 1 参照）。

**【0004】**

図35は、別の従来のクロック制御技術の概要を示す。同図(a)に示すように、前提として、記憶素子11a, 11bの出力が組み合わせ回路12を経由して記憶素子11cに入力されているものとする。記憶素子11cの記憶内容が更新されるのは同期クロックCLKの立ち上がりまたは立ち下りのタイミングである。ここで、この回路の機能的仕様が、「ある期間、記憶素子の記憶内容が更新されなくとも回路機能には影響がない」となっている場合を想定する。この場合、同図(b)に示すように、クロック制御回路101によって、クロック制御信号CTLに基づいてクロックCLKの供給/停止の制御を行う回路構成に等価に置き換えることができる(たとえば、特許文献2参照)。

**【0005】****【特許文献1】**

特開平11-149496号公報

**【特許文献2】**

特開平8-263466号公報

**【0006】****【発明が解決しようとする課題】**

一般に、順序回路の仕様は、(a)クロック停止が可能、(b)クロック停止が不可能、と分類することができる。(b)はさらに、(b-1)記憶素子出力のフィードバックが存在する、(b-2)記憶素子出力のフィードバックが存在しない、というように大きく二つに分類することができる。

**【0007】**

上記分類によると、図34に示した従来技術は(b-1)であり、また、図35に示した従来技術は(a)である。すなわち、図34に示した従来技術については、データ制御回路100の存在が前提となり、図35に示した従来技術については、記憶素子11cの動作が停止しても、回路機能が影響を受けないような当該停止期間の存在が前提となる。このように、従来のクロック制御技術は特別な前提条件を必要としており、このことが、順序回路のクロック制御を複雑にする原因となっている。

**【 0 0 0 8 】**

上記の問題に鑑み、本発明は、仕樣的にクロック停止が不可能であり、かつ記憶素子の出力のフィードバックが存在しない（これは、上記分類における（b-2）に該当する）ことを前提としたクロック制御の実現、およびそのようなクロック制御によって低電力動作可能な順序回路の実現を課題とする。また、一般的な順序回路を、本発明に係る順序回路に変換するための回路変更方法およびこれを実施する回路設計支援装置の提供を目的とする。さらに、本発明に係る順序回路を備えた半導体集積回路、およびそのよう半導体集積回路を備えた通信装置、情報再生装置、画像装置その他電子装置および電子制御装置、ならびにそのような電子制御装置を備えた移動体の提供を目的とする。

**【 0 0 0 9 】****【課題を解決するための手段】**

上記の課題を解決するために本発明が講じた手段は、与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた順序回路（これら複数の記憶素子は、マスターセルに相当する記憶素子と、当該マスターセルの記憶内容が変化したときに入力に変化するスレーブセルに相当する記憶素子とを含む）として、マスターセルの記憶内容が変化したとき、変化信号を出力する変化検出手段と、前記変化信号に基づいてクロックパルスが発生させ、スレーブセルに前記与えられたクロックとして当該クロックパルスを与えるクロックパルス発生器とを備えたものとする。

**【 0 0 1 0 】**

本発明によると、マスターセルの記憶内容が変化することによって、クロックパルス発生器によってクロックパルスが生成され、スレーブセルのクロックとして与えられる。

**【 0 0 1 1 】**

ここで、マスターセルおよびスレーブセルとは、いずれも、本発明に係る順序回路における記憶素子を識別するために特に定義した用語である。この識別は、記憶素子間の入出力関係によって相対的に行われるものであり、したがって、マスターセルおよびスレーブセルは、順序回路における特定の記憶素子を指すもの

ではない。すなわち、記憶素子のいずれかをマスターセルとしたとき、当該マスターセルの記憶内容が変化することによってその入力が増加するような記憶素子がスレーブセルとなる。

#### 【0012】

したがって、本発明の順序回路では、スレーブセルの入力が変化するときのみ、当該スレーブセルにクロック（クロックパルス発生器が生成するクロックパルス）が与えられる。

#### 【0013】

ここで注意すべきは、各記憶素子は、マスターセルにも、スレーブセルにもなり得るという点である。すなわち、各記憶素子は、自己の記憶内容の変化によって自己または他の記憶素子の入力に増加を及ぼし得るという点でマスターセルであり、自己または他の記憶素子の記憶内容の変化によってその入力が増加するという点でスレーブセルである。したがって、クロックパルス発生器からクロックパルスが与えられ、記憶内容を更新したスレーブセルは、今度はマスターセルとして機能する。このようにして、記憶素子の記憶内容が連鎖的に増加し、順序回路全体として、各記憶素子へのクロック供給が連鎖的に生じることとなる。これにより、クロック供給に伴う電流消費を低減することができる。

#### 【0014】

また、本発明によると、実際にはクロックが停止されるにもかかわらず、実質的にはクロックを供給し続けているに等しいクロック制御が行われるため、仕様のクロック停止が不可能であるという前提条件下での動作が保証される。また、スレーブセルに与えられるクロックは、マスターセルの記憶内容の変化に基づいて生成されるものであり、記憶素子（スレーブセル）の出力のフィードバックは存在しない。以上のことから、本発明によって、仕様のクロック停止が不可能であり、かつ記憶素子出力のフィードバックが存在しないことを前提としたクロック制御によって、低電力で動作可能な順序回路を実現することができる。

#### 【0015】

好ましくは、本発明の順序回路は、前記マスターセルを少なくとも一つ含むマスターセルグループと、前記スレーブセルであって、前記マスターセルグループ

に属するマスターセルのいずれかの記憶内容が変化したときに入力に変化するスレーブセルを少なくとも一つ含むクロックドメインとを備えたものとする。ここで、前記変化検出手段は、前記マスターセルグループに属するマスターセルのいずれかの記憶内容が変化したとき、前記変化信号を出力するものとする。また、前記クロックパルス発生器は、前記クロックドメインに属するすべてのスレーブセルに前記クロックパルスを与えるものとする。

#### 【0016】

ここで、クロックドメインとは、本発明に係る順序回路において、あるクロックに従って動作する部分あるいは領域（ドメイン）を表すために特に定義した用語である。すなわち、あるクロックドメインに属する記憶素子は、共通したクロックに同期して動作する。逆に言うと、記憶素子について、属するクロックドメインが異なる場合、それら記憶素子は、互いに異なるクロックに同期して動作することとなる。

#### 【0017】

このように、本発明の順序回路では、クロックドメインに属するすべてのスレーブセルに、クロックパルス発生器が生成するクロックパルスを与えるようにすることによって、回路構成を最適化することができる。これにより、回路面積および消費電力をより低減することができる。

#### 【0018】

そして、具体的に、前記変化検出手段は、前記マスターセルの出力信号に基づいて前記マスターセルの記憶内容が変化したか否かを判断し、当該変化を検出したとき、前記変化信号を出力する変化検出器であるとする。

#### 【0019】

また、具体的に、前記マスターセルは、当該マスターセルの記憶内容が変化したことを示す原変化信号を出力する変化検出回路を有する変化出力付き記憶素子であるとし、前記変化検出手段は、前記変化検出回路を含み、かつ、当該変化検出回路が出力する原変化信号に基づいて前記変化信号を出力するものとする。

#### 【0020】

また、好ましくは、本発明の順序回路における変化検出手段は、前記クロック

パルス発生器に前記クロックパルスの発生を要求する要求信号を伝達するための信号線であって、当該変化検出手段が出力する変化信号を受けたとき、前記要求信号を第1の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第2の論理値に変化させるクロックパルス発生要求信号線を有するものとする。ここで、前記クロックパルス発生器は、前記要求信号が前記第1の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与える更新出力付きクロックパルス発生器であるとする。

#### 【0021】

これにより、特に、一のクロックパルス発生器に対して複数のマスターセルが存在する場合に生じる、変化信号に係る信号線の輻湊を回避し、配線混雑度を低減することができる。

#### 【0022】

一方、与えられたクロックに同期して記憶内容を更新する記憶素子として、前記与えられたクロックが第1の論理値に変化したとき、与えられた信号を取り込み、前記与えられたクロックが第2の論理値に変化したとき、当該取り込んだ信号を当該記憶素子の記憶内容として保持するラッチ回路と、前記ラッチ回路の入力と出力とが異なる場合に前記与えられたクロックが前記第1の論理値に変化したとき、当該記憶素子の記憶内容が変化したことを示す変化信号を出力する変化検出回路とを備えたものとする。この記憶素子は、たとえば、本発明の順序回路の構成要素として用いることが可能である。

#### 【0023】

具体的に、上記の記憶素子は、前記与えられたクロックが前記第2の論理値に変化するとき、与えられた信号を取り込み、前記与えられたクロックが前記第1の論理値に変化するとき、当該取り込んだ信号を保持するマスターラッチ回路を備え、前記ラッチ回路は、前記マスターラッチから出力される信号を取り込むスレーブラッチ回路であるとする。ここで、前記変化検出回路は、前記スレーブラッチ回路の入力と出力とが異なるとき、所定の論理値を出力する第1の論理素子と、前記第1の論理素子の出力を遅延させる遅延素子と、前記遅延素子の出力が

前記所定の論理値であり、かつ、前記与えられたクロックが前記第1の論理値であるとき、前記変化信号を出力する第2の論理素子とを有するものとする。

#### 【0024】

また、具体的に、上記の記憶素子における変化検出回路は、前記与えられたクロックに基づいて、当該与えられたクロックよりも短いパルス幅の基本クロックを生成する基本クロック生成回路と、前記ラッチ回路の入力と出力とが異なるとき、所定の論理値を出力する第1の論理素子と、前記第1の論理素子の出力が前記所定の論理値であり、かつ、前記基本クロックが前記第1の論理値であるとき、前記変化信号を出力する第2の論理素子とを有するものとする。ここで、前記ラッチ回路は、前記与えられたクロックとして前記変化信号を受けるものとする。

#### 【0025】

一方、クロックパルスの発生を要求する要求信号に基づいて当該クロックパルスを発生させるクロック発生回路として、前記クロックパルスを発生させるクロックパルス発生器と、前記クロックパルス発生器に前記要求信号を伝達するための信号線であって、要求発行信号を受けたとき、前記要求信号を第1の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第2の論理値に変化させるクロックパルス発生要求信号線とを備えたものとする。ここで、前記クロックパルス発生器は、前記要求信号が前記第1の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与えるものとする。このクロック発生回路は、たとえば、本発明の順序回路の構成要素として用いることが可能である。

#### 【0026】

具体的に、上記のクロック発生回路におけるクロックパルス発生器は、前記クロックパルスの元となる原クロックが与えられるものであり、かつ、前記要求信号が前記第1の論理値に変化したとき、前記原クロックの立ち下がりに同期して所定の論理値を保持するラッチ回路と、前記ラッチ回路が保持する論理値が前記所定の論理値であるとき、前記クロックパルスとして前記原クロックに含まれる正極性パルスを出力する第1の論理素子と、前記要求信号が前記第1の論理値に

変化したとき、前記原クロックの立ち下がりに同期して前記要求更新信号を出力する第2の論理素子とを有するものとする。

#### 【0027】

また、具体的に、上記のクロック発生回路におけるクロックパルス発生器は、前記クロックパルスの元となる原クロックが与えられるものであり、かつ、前記要求信号が前記第1の論理値に変化したとき、前記原クロックの立ち上がりに同期して所定の論理値を保持するラッチ回路と、前記ラッチ回路が保持する論理値が前記所定の論理値であるとき、前記クロックパルスとして前記原クロックに含まれる負極性パルスを出力する第1の論理素子と、前記要求信号が前記第1の論理値に変化したとき、前記原クロックの立ち上がりに同期して前記要求更新信号を出力する第2の論理素子とを有するものとする。

#### 【0028】

そして、上記の課題を解決するために本発明が講じた手段は、与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた順序回路のクロック制御方法として、前記複数の記憶素子のうち、ある記憶素子の記憶内容が変化したことを検出するステップと、前記検出がされたときにクロックパルスを発生させ、前記複数の記憶素子のうち、前記記憶素子の記憶内容が変化したときに入力が増加する記憶素子に、前記与えられたクロックとして当該クロックパルスを与えるステップとを有するものとする。

#### 【0029】

一方、上記の課題を解決するために本発明が講じた手段は、与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた原順序回路（これら複数の記憶素子は、マスターセルに相当する記憶素子と、当該マスターセルの記憶内容が増加したときに入力が増加するスレーブセルに相当する記憶素子を含む）の接続情報に基づいて新順序回路の接続情報を得る回路変更方法として、前記原順序回路の接続情報から、前記スレーブセルを抽出するスレーブセル抽出ステップと、前記原順序回路の接続情報から、前記抽出されたスレーブセルごとに、当該スレーブセルに対応するマスターセルを少なくとも一つ含むマスターセルグループを抽出するマスターセルグループ抽出ステップと、前記抽出されたマスター



セルグループに属するマスターセルのいずれかの記憶内容が変化したとき、変化信号を出力する変化検出手段の接続情報を生成する変化検出手段生成ステップと、前記抽出されたスレーブセルのうち、前記抽出されたマスターセルグループが共通であるものを含むようにクロックドメインを定め、前記原順序回路の接続情報から、当該クロックドメインに属するスレーブセルが入力とするクロックを抽出し、この抽出されたクロックに基づいてクロックパルス発生器の接続情報を生成するクロックパルス発生器生成ステップと、前記原順序回路の接続情報と、前記変化検出手段生成ステップによって生成された変化検出手段の接続情報と、前記クロックパルス発生器生成ステップによって生成されたクロックパルス発生器の接続情報とを合成して、前記新順序回路の接続情報を得る接続情報合成ステップとを有するものとする。ここで、前記クロックパルス発生器は、前記変化検出手段から出力される変化信号に基づいて、前記クロックパルス発生器生成ステップによって抽出されたクロックとしてクロックパルスを発生させるものとする。

#### 【0 0 3 0】

好ましくは、本発明の回路変更方法において、前記変化検出手段は、前記マスターセルの出力信号に基づいて前記マスターセルの記憶内容が変化したか否かを判断し、当該変化を検出したとき、前記変化信号を出力する変化検出器であるとする。そして、前記変化検出手段生成ステップは、前記原順序回路の接続情報から、前記マスターセルグループ抽出ステップによって抽出されたマスターセルグループごとに、当該マスターセルグループに属するマスターセルの出力信号を抽出し、この抽出した出力信号に基づいて、前記変化検出器の接続情報を生成するものであるとする。

#### 【0 0 3 1】

また、好ましくは、本発明の回路変更方法において、前記新順序回路におけるマスターセルは、当該マスターセルの記憶内容が変化したことを示す原変化信号を出力する変化検出回路を有する変化出力付き記憶素子であるとする。また、前記変化検出手段は、前記変化検出回路を含み、かつ、当該変化検出回路が出力する原変化信号に基づいて前記変化信号を出力するものとする。そして、前記変化検出手段生成ステップは、前記変化検出手段の接続情報として、前記マスターセ

ルグループ抽出ステップによって抽出されたマスターセルグループに属するマスターセルを、前記変化出力付き記憶素子に変換するための変換情報を生成するものとする。

#### 【 0 0 3 2 】

また、好ましくは、本発明の回路変更方法において、前記変化検出手段は、前記クロックパルス発生器に前記クロックパルスの発生を要求する要求信号を伝達するための信号線であって、当該変化検出手段が出力する変化信号を受けたとき、前記要求信号を第 1 の論理値に変化させる一方、要求更新信号を受けたとき、前記要求信号を第 2 の論理値に変化させるクロックパルス発生要求信号線を有するものとする。また、前記クロックパルス発生器は、前記要求信号が前記第 1 の論理値に変化したとき、前記クロックパルスを発生させるとともに、前記要求更新信号を生成して前記クロックパルス発生要求信号線に与える更新出力付きクロックパルス発生器であるとする。そして、本発明の回路変更方法は、前記クロックパルス発生器生成ステップによって生成されたクロックパルス発生器の接続情報を、前記更新出力付きクロックパルス発生器の接続情報に変換するための変換情報を生成するクロックパルス発生器変換ステップを有し、前記接続情報合成ステップは、前記原順序回路の接続情報と、前記変化検出手段生成ステップによって生成された変化検出手段の接続情報と、前記クロックパルス発生器生成ステップによって生成されたクロックパルス発生器の接続情報と、前記クロックパルス発生器変換ステップによって生成された変換情報とを合成して、前記新順序回路の接続情報を得るものであるとする。

#### 【 0 0 3 3 】

一方、上記の課題を解決するために本発明が講じた手段は、与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた原順序回路の接続情報に基づいて新順序回路の接続情報を得る回路設計支援装置として、上記の各回路変更方法における各ステップを手段として備えたものとする。

#### 【 0 0 3 4 】

##### 【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。なお、各

図において、符号の末尾に付した英小文字は、複数の同様の構成要素および信号を、互いに他と識別するためのものである。

#### 【0 0 3 5】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る順序回路の回路構成を示す。本実施形態の順序回路 1 0 は、与えられたクロックに同期して記憶内容を更新する記憶素子 1 1 a, 1 1 b, 1 1 c, 1 1 d, 1 1 e (以下、これらを「記憶素子 1 1」と総称する) を備え、これら記憶素子 1 1 のうち、いずれかをマスターセルとし、当該マスターセルの記憶内容が変化することによってその入力に変化するものをスレーブセルとするものである。さらに、順序回路 1 0 は、組み合わせ回路 1 2 a, 1 2 b と、スレーブセルの同期クロックとしてのクロックパルス C L K P を発生させるクロックパルス発生器 1 3 と、マスターセルの記憶内容の変化を検出する変化検出器 1 4 とを備えている。

#### 【0 0 3 6】

ここで、便宜上、順序回路 1 0 は、5 個の記憶素子 1 1 を備えたものとし、そのうちの 3 個をマスターセル (記憶素子 1 1 a, 1 1 b, 1 1 c) とし、2 個をスレーブセル (記憶素子 1 1 d, 1 1 e) として説明する。なお、実際の回路構成では、順序回路 1 0 が備える記憶素子 1 1 の個数はさまざまであり、そのうちのいずれがマスターセルまたはスレーブセルであるのかについてもさまざまに決められる。また、同図において、記憶素子 1 1 を D フリップフロップとして表しているが、本発明でいう記憶素子はこれに限定されるものではない。与えられたクロックに同期して記憶内容を更新する記憶素子であれば、T フリップフロップや J K フリップフロップその他どのようなものであってもよい。

#### 【0 0 3 7】

スレーブセル 1 1 d は、マスターセル 1 1 a, 1 1 b, 1 1 c の各出力を入力とする組み合わせ回路 1 2 a を経て出力されるデータを入力するものである。同様に、スレーブセル 1 1 e は、マスターセル 1 1 a, 1 1 b, 1 1 c の各出力を入力とする組み合わせ回路 1 2 b を経て出力されるデータを入力するものである。なお、スレーブセルは、組み合わせ回路を経ずに、マスターセルの出力を直接

入力するものであってもよい。

#### 【0038】

順序回路10は、マスターセル11a, 11b, 11cを含むマスターセルグループ15と、スレーブセル11d, 11eおよび組み合わせ回路12a, 12bを含むクロックドメイン16とを備えている。クロックドメイン16に属するスレーブセル11d, 11eは、マスターセルグループ15に属するマスターセル11a, 11b, 11cのいずれかの記憶内容が変化することによって、その入力が変化する。

#### 【0039】

変化検出器14は、マスターセル11a, 11b, 11cの出力Q1, Q2, Q3に基づいて、マスターセル11a, 11b, 11cのいずれかの記憶内容が変化したか否かを判断し、記憶内容が変化したことを検出したとき、クロック制御信号CTL（本発明の変化信号に相当する）を出力する。

#### 【0040】

クロックパルス発生器13は、クロック制御信号CTLを受けることによって、クロックパルスCLKPを発生させる。クロックパルス発生器13は、順序回路10の同期クロックCLKを入力しており、このクロックCLKに同期してクロックパルスCLKPを発生させる。そして、クロックパルスCLKPは、クロックドメイン16に含まれるスレーブセル11d, 11eに、同期クロックとして与えられる。

#### 【0041】

次に、順序回路10の動作について、図2のタイミングチャートを参照しながら説明する。

#### 【0042】

マスターセル11a, 11b, 11cの出力Q1, Q2, Q3のいずれかが変化すると、その変化が変化検出器14によって検出され、クロック制御信号CTLが出力される。ここでは、出力Q1が変化したものとする。出力Q1が変化することによって、クロック制御信号CTLが出力される。そして、クロックパルス発生器13によって、クロックCLKに同期したクロックパルスCLKPが生

成される。クロック制御信号 C T L が出力されない、すなわち、マスターセルの出力が変化しない期間は、クロックパルス C L K P は発生していない。

#### 【 0 0 4 3 】

以上、本実施形態によると、マスターセルグループ 1 5 に含まれる記憶素子 1 1 (マスターセル) のいずれかの記憶内容が変化したときにのみ、クロックドメイン 1 6 に含まれる記憶素子 1 1 (スレーブセル) にクロック (クロックパルス C L K P) が供給される。したがって、マスターセルの記憶内容が変化しない、すなわち、スレーブセルの入力が変化せず、記憶内容の更新が不要な期間は、当該スレーブセルへのクロックが停止される。そして、スレーブセルは、自己または他のスレーブセルにとってのマスターセルとして機能し、順序回路 1 0 全体として、各記憶素子 1 1 へのクロック供給が連鎖的に生じる。これにより、仕樣的にクロック停止が不可能であり、かつ記憶素子の出力のフィードバックが存在しないことを前提としたクロック制御が可能となり、クロック供給に伴う電流消費を低減することができる。

#### 【 0 0 4 4 】

また、クロックパルス発生器 1 3 によって生成されるクロックパルス C L K P は、順序回路 1 0 の同期クロック C L K に同期したものである。したがって、順序回路 1 0 におけるクロックスキューが保証され、順序回路 1 0 は、同期式順序回路として正しく動作することができる。

#### 【 0 0 4 5 】

なお、本実施形態では、変化検出器 1 4 は、マスターセルグループ 1 5 の 1 個に付き 1 個だけ設けられたものとして説明したが、本発明はこれに限定されるものではない。たとえば、マスターセルごとに変化検出器を 1 個設けるようにして、各変化検出器からの出力の論理和を、クロック制御信号 C T L としてクロックパルス発生器 1 3 に与えるようにしてもよい。

#### 【 0 0 4 6 】

また、クロックパルス発生器 1 3 は、クロックドメイン 1 6 の 1 個に付き 1 個設けられたものとして説明したが、本発明はこれに限定されるものではない。クロックドメイン 1 6 の 1 個に付き複数のクロックパルス発生器を備えるようにし

てもよい。

#### 【0047】

##### (第2の実施形態)

図3は、本発明の第2の実施形態に係る順序回路の回路構成を示す。本実施形態の順序回路20は、第1の実施形態に係る順序回路10における記憶素子11に代えて、自己の記憶内容が変化したことを示す変化信号（本発明の原変化信号に相当する）を出力する変化出力付き記憶素子21を備えたものである。以下、順序回路20について、順序回路10と異なる点についてのみ説明する。なお、同図において、図1に示した構成要素および信号と同様のものについては、これと同一の符号を付し、個々の詳細な説明は省略する。

#### 【0048】

順序回路20は、第1の実施形態で説明した変化検出器に代えて、マスターセル21a, 21b, 21cから出力される変化信号M1, M2, M3を入力し、これらの論理和をクロック制御信号CTL（本発明の変化信号に相当する）として出力する論理素子17を備えている。クロックパルス発生器13は、論理素子17からクロック制御信号CTLを受ける。

#### 【0049】

次に、順序回路20の動作について、図4のタイミングチャートを参照しながら説明する。

#### 【0050】

マスターセル11a, 11b, 11cのそれぞれは、その記憶内容が変化した場合、すなわち、それぞれの出力Q1, Q2, Q3の変化に合わせて、変化信号M1, M2, M3をそれぞれ出力する。そして、変化信号M1, M2, M3のいずれかが出力されると、論理素子17からクロック制御信号CTLが出力される。ここでは、マスターセル21aから変化信号M1が出力されたものとする。そして、クロックパルス発生器13によって、クロックCLKに同期したクロックパルスCLKPが生成される。クロック制御信号CTLが出力されない、すなわち、マスターセルから変化信号が出力されない期間は、クロックパルスCLKPは発生していない。

**【0051】**

次に、変化出力付き記憶素子 21 の具体例として記憶素子 21A について説明する。

**【0052】**

図 5 は、記憶素子 21A の回路構成を示す。記憶素子 21A は、記憶素子 21A に与えられた信号 D を取り込み、これを保持するマスターラッチ回路 211a と、マスターラッチ回路 211a の出力 D0 を取り込み、これを記憶素子 21A の記憶内容として保持するスレーブラッチ回路 211b と、スレーブラッチ回路 211b の入力 D0 と出力 Q との排他論理和を演算し、信号 XOR を出力する論理素子 212（本発明の第 1 の論理素子に相当する）と、信号 XOR を遅延させ、信号 DXOR を出力する遅延素子 213 と、信号 DXOR と記憶素子 21A に与えられたクロック CK との論理積を演算し、変化信号 M を出力する論理素子 214（本発明の第 2 の論理素子に相当する）とを備えている。なお、論理素子 212、遅延素子 213 および論理素子 214 から構成される部分が、本発明の変化検出回路 218 に相当する。

**【0053】**

上記の通りに構成された記憶素子 21A の動作について、図 6 のタイミングチャートを参照しながら説明する。

**【0054】**

マスターラッチ回路 211a は、クロック CK が “L”（本発明の第 2 の論理値に相当する）に変化するとき、信号 D を取り込む一方、クロック CK が “H”（本発明の第 1 の論理値に相当する）に変化するとき、取り込んだ信号 D を保持する。したがって、マスターラッチ回路 211a は、クロック CK が “L” に変化し、次に “L” に変化するまでの 1 周期の間、信号 D0 の値を保持する。一方、スレーブラッチ回路 211b は、クロック CK が “H” に変化するとき、マスターラッチ回路 211a の出力信号 D0 を取り込む一方、クロック CK が “L” に変化するとき、取り込んだ信号 D0 を保持する。

**【0055】**

クロック CK が “L” に変化して、信号 D0 の値が変化してから、次にクロッ

クCKが“H”に変化して、信号D0がスレーブラッチ回路211bに取り込まれるまでの間、スレーブラッチ回路211bの入力D0と出力Qとは、互いに異なる論理値となっている。よって、この間、論理素子212の出力XORは、所定の真の論理値（ここでは“H”とする）となる。そして、遅延素子213によって信号XORは遅延し、その結果である信号DXORによって、この真の論理値の状態は、信号D0がスレーブラッチ回路211bに取り込まれるタイミング（クロックCKが“H”となるタイミング）まで維持される。そして、論理素子214によって、信号DXORとクロックCKとの論理積が演算され、その結果として、変化信号Mが出力される。

#### 【0056】

以上のように、記憶素子21Aは、与えられたクロックCKの立ち上がりと同期して、自己の記憶内容を更新し、記憶内容が変化した場合に、変化信号Mとしてパルスを発する。

#### 【0057】

次に、変化出力付き記憶素子21の別の具体的として記憶素子21Bについて説明する。

#### 【0058】

図7は、記憶素子21Bの回路構成を示す。記憶素子21Bは、記憶素子21Bに与えられた信号Dを取り込み、これを保持するラッチ回路211と、ラッチ回路211の入力Dと出力Qとの排他論理和を演算し、信号XORを出力する論理素子212（本発明の第1の論理素子に相当する）と、記憶素子21Aに与えられたクロックCKから、このクロックCKよりも短いパルス幅の基本クロックPCK'を生成する基本クロック生成回路215と、信号XORと基本クロックPCK'との論理積を演算し、変化信号Mを出力する論理素子214（本発明の第2の論理素子に相当する）とを備えている。ここで、論理素子214の出力は、ラッチ回路211の動作を制御するクロックパルスPCKでもある。なお、論理素子212、基本クロック生成回路215および論理素子214から構成される部分が、本発明の変化検出回路219に相当する。

#### 【0059】



上記の通りに構成された記憶素子 2 1 B の動作について、図 8 のタイミングチャートを参照しながら説明する。

#### 【0 0 6 0】

ラッチ回路 2 1 1 は、クロックパルス P C K が “H”（本発明の第 1 の論理値に相当する）に変化するとき、信号 D を取り込む一方、クロックパルス P C K が “L”（本発明の第 2 の論理値に相当する）に変化するとき、取り込んだ信号 D を保持する。したがって、信号 D の値が変化してから、クロックパルス P C K が “H” に変化して、信号 D がラッチ回路 2 1 1 に取り込まれるまでの間、ラッチ回路 2 1 1 の入力 D と出力 Q とは互いに異なる論理値となっている。よって、この間、論理素子 2 1 2 の出力 X O R は、所定の真の論理値（ここでは “H” とする）となる。また、基本クロック生成回路 2 1 5 からは、基本クロック P C K ′ が出力されている。そして、論理素子 2 1 4 によって、信号 X O R と基本クロック P C K ′ との論理積が演算され、その結果として、真の論理値の変化信号 M およびクロックパルス P C K が出力される。

#### 【0 0 6 1】

クロックパルス P C K が真の論理値（“H”）となることにより、信号 D がラッチ回路 2 1 1 に取り込まれ、ラッチ回路 2 1 1 の入力 D と出力 Q とは等しい論理値となる。これにより、論理素子 2 1 2 の出力 X O R が、偽の論理値（ここでは “L” とする）となり、論理素子 2 1 4 から出力される変化信号 M およびクロックパルス P C K も偽の論理値（“L”）となる。

#### 【0 0 6 2】

以上のように、記憶素子 2 1 B は、与えられたクロック C K の立ち上がり同期して、自己の記憶内容を更新し、記憶内容が変化した場合に、所定のパルス幅の変化信号 M を出力する。この変化信号 M は、記憶素子 2 1 B 内部のラッチ保持パルスとして、十分なオンデューティー期間を有するものである。記憶素子 2 1 B では、ラッチ保持パルス（クロックパルス P C K）として変化信号 M を用いており、これにより、最小限のラッチ保持パルス幅を確保することが可能となっている。

#### 【0 0 6 3】

以上、本実施形態によると、変化出力付き記憶素子を備えることによって、マスターセルグループに含まれるマスターセルの記憶内容が変化したことを、容易に検出することができ、また、マスターセルの記憶内容の変化を検出するための回路を簡略化することができる。

#### 【0064】

なお、変化出力付き記憶素子 2 1 の具体的として示した記憶素子 2 1 A, 2 1 B は、ほんの一例に過ぎず、本発明はこれに限定されるものではない。変化出力付き記憶素子 2 1 として、ほかにもさまざまな回路構成が可能である。たとえば、与えられたクロックの立ち下がりに同期して記憶内容を更新する変化出力付き記憶素子も、上記と同様の回路構成で実現可能である。この場合、本発明の第 1 および第 2 の論理値は、それぞれ “L” および “H” に読み替えることとなる。

#### 【0065】

##### (第 3 の実施形態)

第 1 および第 2 の実施形態に係る順序回路 1 0, 2 0 では、マスターセルグループに含まれるマスターセルが複数になると、出力信号 Q および変化信号 M の数が増加し、クロックパルス発生器にマスターセルの記憶内容の変化を伝達するための信号線が輻湊してしまう。そこで、この信号線の混雑度を解消するための回路構成を実現するのが、本発明の第 3 の実施形態である。

#### 【0066】

本実施形態に係る順序回路の説明に先立って、まず、本実施形態に係るクロック発生回路について説明する。

#### 【0067】

図 9 は、本実施形態に係るクロック発生回路の回路構成を示す。クロック発生回路 2 2 は、クロックパルス C L K を発生させるクロックパルス発生器 2 3 と、クロックパルス発生器 2 3 にクロックパルスの発生を要求する要求信号 C L K R E Q を伝達するためのクロックパルス発生要求信号線 2 5 とを備えている。

#### 【0068】

クロックパルス発生要求信号線 2 5 は、オープンドレインバッファ 2 6 を介して、要求信号 C L K R E Q の発行元となる回路（要求発行回路）と接続され、要

求発行回路からの要求発行信号を受けるようになっている。なお、同図の例では、要求発行信号 A, B, C を発する 3 個の要求発行回路が接続されている。要求発行回路として、第 1 の実施形態に係る順序回路 10 における変化検出器 14 や、第 2 の実施形態に係る順序回路 20 における変化出力付き記憶素子 21 がこれに該当する。また、要求発行信号として、変化検出器 14 が出力するクロック制御信号や、変化出力付き記憶素子 21 が出力する変化信号がこれに該当する。

#### 【0069】

また、クロックパルス発生要求信号線 25 は、クロックパルス発生器 23 と直接接続され、クロックパルス発生器 23 に要求信号 CLKREQ を与えるようになっている。さらに、オープンドレインバッファ 27 を介して、クロックパルス発生器 23 と接続され、クロックパルス発生器 23 から要求更新信号 CLKREQMOD を受けるようになっている。

#### 【0070】

クロックパルス発生器 23 は、要求信号 CLKREQ が、クロックパルスの発生を要求する第 1 の論理値となることによって、クロックパルス CLK を発生させるとともに、クロックパルス発生要求信号線 25 に要求更新信号 CLKREQMOD を出力する更新出力付きクロックパルス発生器である。

#### 【0071】

次に、クロック発生回路 22 の動作について、図 10 のタイミングチャートを参照しながら説明する。

#### 【0072】

クロックパルス発生要求信号線 25 は、要求発行信号 A, B, C のいずれかを受けることによって“L”レベルの電圧となる。これによって、要求信号 CLKREQ は、クロックパルスの発生を要求する第 1 の論理値となる。そして、要求信号 CLKREQ が第 1 の論理値となることによって、クロックパルス CLK が出力される。これとタイミングを同じくして、要求更新信号 CLKREQMOD が出力される。そして、クロックパルス発生要求信号線 25 は、要求更新信号 CLKREQMOD を受けることによって“H”レベルの電圧となる。すなわち、定常状態に復帰する。これによって、要求信号 CLKREQ は、クロックパルス

の発生要求を解除する第2の論理値となる。

【0073】

次に、更新出力付きクロックパルス発生器23の具体的としてクロックパルス発生器23Aについて説明する。

【0074】

図11は、クロックパルス発生器23Aの回路構成を示す。クロックパルス発生器23Aは、端子CLKORGに与えられた原クロックCLKORGの立ち下がり同期して、端子Mに与えられた要求信号Mを取り込むラッチ回路231と、ラッチ回路231の出力Qと原クロックCLKORGとの論理積を演算し、端子CLKからクロックパルスCLKを出力する論理素子232（本発明の第1の論理素子に相当する）と、原クロックCLKORGの反転と信号Mとの論理積を演算し、端子MCLRから要求更新信号MCLRを出力する論理素子233（本発明の第2の論理素子に相当する）とを備えている。

【0075】

上記の通りに構成されたクロックパルス発生器23Aの動作について、図12のタイミングチャートを参照しながら説明する。

【0076】

要求信号Mが“H”（本発明の第1の論理値に相当する）のとき、原クロックCLKORGの立ち下がり同期して、要求信号Mがラッチ回路231に取り込まれる。これとタイミングを同じくして、論理素子233から要求更新信号MCLRが出力される。これにより、要求信号Mは“L”（本発明の第2の論理値に相当する）に復帰する。要求信号Mが“L”となっても、ラッチ回路231の出力Qは、1周期の間、保持される。すなわち、ラッチ回路231は、1周期の間、要求信号Mが“H”であることに基づく所定の論理値（ここでは“H”）を保持する。そして、論理素子232によって、ラッチ回路231の出力Qと原クロックCLKORGとの論理積が演算され、原クロックCLKORGに同期して、正極性のクロックパルスCLKが出力される。

【0077】

以上のように、クロックパルス発生器23Aは、与えられた原クロックCLK

ORGの立ち下がりに同期して、クロックパルスCLKとして正極性パルスを発するとともに、要求更新信号MCLRを発する。

#### 【0078】

次に、更新出力付きクロックパルス発生器23の別の具体的としてクロックパルス発生器23Bについて説明する。

#### 【0079】

図13は、クロックパルス発生器23Bの回路構成を示す。クロックパルス発生器23Bは、端子CLKORGに与えられた原クロックCLKORGの立ち上がりに同期して、端子Mに与えられた要求信号Mを反転した信号を取り込むラッチ回路231と、ラッチ回路231の出力Qと原クロックCLKORGとの論理和を演算し、端子CLKからクロックパルスCLKを出力する論理素子234（本発明の第1の論理素子に相当する）と、原クロックCLKORGと信号Mとの論理積を演算し、端子MCLRから要求更新信号MCLRを出力する論理素子233（本発明の第2の論理素子に相当する）とを備えている。

#### 【0080】

上記の通りに構成されたクロックパルス発生器23Bの動作について、図14のタイミングチャートを参照しながら説明する。

#### 【0081】

要求信号Mが“H”（本発明の第1の論理値に相当する）のとき、原クロックCLKORGの立ち上がりに同期して、要求信号Mを反転した信号がラッチ回路231に取り込まれる。これとタイミングを同じくして、論理素子233から要求更新信号MCLRが出力される。これにより、要求信号Mは“L”（本発明の第2の論理値に相当する）に復帰する。要求信号Mが“L”となっても、ラッチ回路231の出力Qは、1周期の間、保持される。すなわち、ラッチ回路231は、1周期の間、要求信号Mが“H”であることに基づく所定の論理値（ここでは“L”）を保持する。そして、論理素子234によって、ラッチ回路231の出力Qと原クロックCLKORGとの論理和が演算され、原クロックCLKORGに同期して、負極性のクロックパルスCLKが出力される。

#### 【0082】

以上のように、クロックパルス発生器 23B は、与えられた原クロック CLK ORG の立ち上がり同期して、クロックパルス CLK として負極性パルスを発するとともに、要求更新信号 MCLR を発する。

#### 【0083】

次に、上記のクロック発生回路を備えた本実施形態に係る順序回路について説明する。

#### 【0084】

図 15 は、本実施形態に係る順序回路の回路構成を示す。本実施形態の順序回路 30 は、記憶素子として、第 2 の実施形態で説明した変化出力付き記憶素子 21 を備えるとともに、クロックパルス発生要求信号線 25 と、クロックパルス発生器として、上記の更新出力付きクロックパルス発生器 23 とを備えている。同図は、マスターセルグループ 15、クロックドメイン 16、クロックパルス発生器 23 およびクロックパルス発生要求信号線 25 からなる処理ブロックを 4 組描いたものである。各符号の末尾に付した“a”から“d”が、これら処理ブロックの別を表している。なお、順序回路 30 の構成については、これまでに説明した通りであるので、ここでは説明を省略する。

#### 【0085】

次に、順序回路 30 の動作について、図 16 のタイミングチャートを参照しながら説明する。ここでは、記憶素子 21a の記憶内容が変化した場合を想定し、記憶素子 21a の出力を Q1、記憶素子 21e の出力を Q2、そして、記憶素子 21i の出力を Q3 として説明する。

#### 【0086】

クロック CLK0 は、順序回路 30 の同期クロックである。まず、あるタイミングで記憶素子 21a の記憶内容が変化する (Q1)。このとき、記憶素子 21a からクロックパルス発生要求信号線 25a に変化信号が出力され、要求信号 CLKREQa が真の論理値 (同図では“H”として表している) となる。これにより、クロックパルス発生器 23a からクロックパルス CLKa が発せられる。クロックパルス CLKa は、クロックドメイン 16a に含まれる記憶素子 21e に与えられ、記憶素子 21e は、クロックパルス CLKa に同期してその記憶内

容を更新する（Q 2）。記憶素子 2 1 e は、記憶素子 2 1 a をマスターセルとしたときのスレーブセルに相当するものである。

#### 【0 0 8 7】

続いて、記憶素子 2 1 e からクロックパルス発生要求信号線 2 5 c に変化信号が出力され、要求信号 C L K R E Q c が真の論理値（同図では“H”として表している）となる。これにより、クロックパルス発生器 2 3 c からクロックパルス C L K c が発せられる。クロックパルス C L K c は、クロックドメイン 1 6 c に含まれる記憶素子 2 1 i に与えられ、記憶素子 2 1 i は、クロックパルス C L K c に同期してその記憶内容を更新する（Q 3）。記憶素子 2 1 i は、記憶素子 2 1 e をマスターセルとしたときのスレーブセルに相当するものである。

#### 【0 0 8 8】

以上のように、順序回路内で記憶素子の記憶内容が連鎖的に変化し、これに伴い、入力に変化が生じた記憶素子にのみクロックが供給される。たとえば、上記の例では、記憶素子 2 1 e, 2 1 i には、入力に変化が生じたときにクロックパルス C L K a, C L K c が供給されるが、クロックドメイン 1 6 b, 1 6 d に含まれる記憶素子は、その入力が変わらないため、クロックパルス C L K b, C L K d が供給されることはない。このように、入力が変わらない記憶素子のクロックを停止することによって、不要なクロックによる消費電力を低減することができる。

#### 【0 0 8 9】

以上、本実施形態によると、クロックパルス発生器にクロックパルスの発生を要求するクロックパルス発生要求信号線を設けることによって、特に、一のマスターセルグループに複数のマスターセルが含まれる場合に、各マスターセルから出力される変化信号の信号線の輻湊を回避することができる。これは、実際の L S I における配線混雑度の低減の効果を奏する。

#### 【0 0 9 0】

また、本実施形態に係るクロックパルス発生器は、正極性および負極性のいずれのクロックパルスをも発することが可能である。一般に、クロック同期システムは、正極性および負極性のいずれかのクロックパルスを前提に設計するもので

あり、本発明は、いずれのクロック同期システムについても適用が可能である。

#### 【0091】

なお、更新出力付きクロックパルス発生器23の具体的として示したクロックパルス発生器23A、23Bは、ほんの一例に過ぎず、本発明はこれに限定されるものではない。更新出力付きクロックパルス発生器23として、ほかにもさまざまな回路構成が可能である。

#### 【0092】

また、本実施形態で例示した順序回路は、記憶素子として、第2の実施形態に係る変化出力付きのものであるが、一般的な記憶素子を用いても、上記と同様の効果を得ることができる。

#### 【0093】

##### (第4の実施形態)

図17は、本発明の第4の実施形態に係る回路設計支援装置の概要を示す。本実施形態の回路設計支援装置110は、与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた原順序回路の接続情報D11に基づいて、新順序回路の接続情報D52を得るものである。ここで、新順序回路は、第1の実施形態に係る順序回路10である。回路設計支援装置110は、スレーブセル抽出手段、マスターセルグループ抽出手段、変化検出手段生成手段、クロックパルス発生器生成手段、および接続情報合成手段を備えている。以下、各手段について順に説明する。

#### 【0094】

図18は、スレーブセル抽出手段の処理フローを示す。まず、原順序回路の接続情報D11から、リファレンス名とインスタンス名との対応関係を抽出する(S11)。ここで、リファレンス名とは、論理素子の種類(“xxAND”, “xxOR”, “xxFF”など)を表す識別子であり、インスタンス名とは、回路接続情報中の各論理素子を区別する識別子(“CELL\_\_1”など)である。なお、同図中に示した“CELL\_\_1”その他のインスタンス名は、図17中の回路図に示した各論理素子に対応するものである。ステップS11によって、接続情報D11を構成する論理素子のリファレンス名、インスタンス名の対応関係



がデータベース（リファレンス名－インスタンス名対応情報D12）に登録される。次に、各論理素子のリファレンス名が、記憶素子（“xxFF”）を表すものか否かが判定される（S12）。そして、ステップS12によって記憶素子であると判定された論理素子のインスタンス名が、新順序回路におけるスレーブセルであるとして出力される（S13）。以上の手順により、スレーブセル名リストD13が生成される。

#### 【0095】

図19は、マスターセルグループ抽出手段の処理フローを示す。まず、スレーブセル名リストD13に含まれるスレーブセルごとに、当該スレーブセルのインスタンス名に基づいて、原順序回路の接続情報D11に記載されているデータ入力信号名が抽出され、データ入力信号名情報D21が生成される（S21）。そして、接続情報D11から、データ入力信号名情報D21に含まれる信号を出力とする論理素子が抽出され、リファレンス名－インスタンス名対応情報D22が生成される（S22）。続いて、リファレンス名－インスタンス名対応情報D22に含まれる論理素子のリファレンス名が、記憶素子（“xxFF”）を表すものか否かが判定される（S23）。ここで、記憶素子を表すものではないと判定された場合、当該論理素子の入力信号名が抽出され、ステップS22，S23が再帰的に実行される（S24）。最終的に、ステップS23において記憶素子であると判定された論理素子のインスタンス名が、新順序回路におけるマスターセルであるとして出力される（S25）。以上の手順により、マスターセルグループを表すマスターセル名リストD23が生成される。

#### 【0096】

図20は、変化検出手段生成手段の処理フローを示す。まず、原順序回路の接続情報D11およびマスターセル名リストD23に基づいて、マスターセルグループごとに、当該マスターセルグループに含まれるすべての記憶素子のデータ出力信号が抽出され、データ出力信号名情報D31が生成される（S31）。次に、変化検出器（変化検出手段）の雛型接続情報D32を用いて、変化検出器の接続情報D33が生成される（S32）。この雛型接続情報D32には、信号接続の目印になる記号（“\$\$”など）が定義されている。そして、この目印に、デ

ータ出力信号名情報 D 3 1 に含まれるデータ出力信号を当てはめることによって、変化検出器の接続情報 D 3 3 が生成される。

#### 【0 0 9 7】

図 2 1 は、クロックパルス発生器生成手段の処理フローを示す。まず、原順序回路の接続情報 D 1 1 およびスレーブセル名リスト D 1 3 に基づいて、クロックドメインごとに、当該クロックドメインに含まれるすべての記憶素子のクロック信号が抽出され、クロック信号名情報 D 4 1 が生成される (S 4 1)。ここで、スレーブセル名リスト D 1 3 に含まれるスレーブセルのうち、マスターセル名リスト D 2 3 に含まれるマスターセルグループが等しいもの同士が、新順序回路における同一のクロックドメインに属するものである。次に、クロックパルス発生器の雛型接続情報 D 4 2 を用いて、クロックパルス発生器の接続情報 D 4 3 が生成される (S 4 2)。この雛型接続情報 D 4 2 には、信号接続の目印になる記号 (“\$ \$” など) が定義されている。そして、この目印に、クロック信号名情報 D 4 1 に含まれるクロック信号を当てはめることによって、クロックパルス発生器の接続情報 D 4 3 が生成される。

#### 【0 0 9 8】

図 2 2 は、接続情報合成手段の処理フローを示す。まず、変化検出器の接続情報 D 3 3 およびクロックパルス発生器の接続情報 D 4 3 から、原順序回路の接続情報 D 1 1 に追加すべき差分情報 D 5 1 が生成される (S 5 1)。次に、接続情報 D 1 1 と差分情報 D 5 1 とを合成することによって、新順序回路の接続情報 D 5 2 が生成される (S 5 2)。

#### 【0 0 9 9】

以上、本実施形態によると、容易に、かつ少ない工程数で、一般的な順序回路を、クロックパルス発生器を備えた本発明の順序回路 (新順序回路) に変換することができる。

#### 【0 1 0 0】

(第 5 の実施形態)

図 2 3 は、本発明の第 5 の実施形態に係る回路設計支援装置の概要を示す。本実施形態の回路設計支援装置 1 2 0 は、与えられたクロックに同期して記憶内容

を更新する記憶素子を複数備えた原順序回路の接続情報 D 1 1 に基づいて、新順序回路の接続情報 D 5 2 を得るものである。ここで、新順序回路は、第 2 の実施形態に係る順序回路 2 0 である。

#### 【0 1 0 1】

回路設計支援装置 1 2 0 が備えている変化検出手段生成手段は、原順序回路における一般的な記憶素子を、自己の記憶内容が変化したことを示す変化信号を出力する変化出力付き記憶素子に変換するものであり、この点が第 4 の実施形態とは異なっている。以下、この変化検出手段生成手段について説明する。

#### 【0 1 0 2】

図 2 4 は、本実施形態の変化検出手段生成手段の処理フローを示す。まず、マスターセル名リスト D 2 3 に含まれるマスターセルのうち、リファレンス名対応リスト D 1 5 に登録されているものが抽出され、記憶素子変換リスト D 3 4 が生成される (S 3 3)。リファレンス名対応リスト D 1 5 は、原順序回路における記憶素子 1 1 のうち、変化出力付き記憶素子 2 1 に変換すべきものを登録したリストである。次に、記憶素子変換リスト D 3 4 に登録された記憶素子ごとに、変化信号 (同図の例では “N E T \_ M 0 0” および “N E T \_ M 0 1”) が新規定義され、出力信号リスト D 3 5 が生成される (S 3 4)。そして、記憶素子変換リスト D 3 4 と出力信号リスト D 3 5 とが組み合わせられ、変換情報 D 3 6 が生成される。

#### 【0 1 0 3】

図 2 5 は、本実施形態に係る接続情報合成手段によって生成される差分情報 D 5 1 および新順序回路の接続情報 D 5 2 の一部を示したものである。同図より、差分情報 D 5 1 に変化出力付き記憶素子 (同図の例では “C E L L \_ 1” および “C E L L \_ 3”) が含まれ、新順序回路の接続情報 D 5 2 における記憶素子が、変化出力付き記憶素子に置き換えられていることがわかる。

#### 【0 1 0 4】

以上、本実施形態によると、容易に、かつ少ない工程数で、一般的な順序回路を、変化出力付き記憶素子を備えた本発明の順序回路 (新順序回路) に変換することができる。

**【0 1 0 5】****(第 6 の実施形態)**

図 2 6 は、本発明の第 6 の実施形態に係る回路設計支援装置の概要を示す。本実施形態の回路設計支援装置 1 3 0 は、与えられたクロックに同期して記憶内容を更新する記憶素子を複数備えた原順序回路の接続情報 D 1 1 に基づいて、新順序回路の接続情報 D 5 2 を得るものである。ここで、新順序回路は、第 2 の実施形態に係るクロックパルス発生要求信号線を備えた順序回路 3 0 である。

**【0 1 0 6】**

回路設計支援装置 1 3 0 は、第 4 の実施形態と同様のスレーブセル抽出手段、マスターセルグループ抽出手段、変化検出手段生成手段、クロックパルス発生器生成手段、および接続情報合成手段を備えている。さらに、回路設計支援装置 1 3 0 は、第 1 および第 2 の実施形態に係るクロックパルス発生器を、第 3 の実施形態に係る更新出力付きクロックパルス発生器に変換するクロックパルス発生器変換手段を備えている。以下、クロックパルス発生器変換手段について説明する。

**【0 1 0 7】**

図 2 7 は、クロックパルス発生器変換手段の処理フローを示す。まず、原順序回路の接続情報 D 1 1 およびスレーブセル名リスト D 1 3 に基づいて、変換対象となるクロックパルス発生器のクロック信号名情報 D 4 1 が生成される (S 4 1)。次に、当該クロックパルス発生器の入力 (クロック制御信号) を生成する変化検出器の接続情報 D 3 3、当該クロックパルス発生器のクロック信号名情報 D 4 1、および更新出力付きクロックパルス発生器の入出力が登録された入出力信号リスト D 4 4 に基づいて、クロックパルス発生器の変換情報 D 4 5 が生成される (S 4 3)。

**【0 1 0 8】**

図 2 8 は、本実施形態に係る接続情報合成手段によって生成される差分情報 D 5 1 および新順序回路の接続情報 D 5 2 の一部を示したものである。同図より、差分情報 D 5 1 に更新出力付きクロックパルス発生器 (同図の例では “C E L L \_ C K 1”) が含まれ、新順序回路の接続情報 D 5 2 におけるクロックパルス発

生器が、更新出力付きクロックパルス発生器に置き換えられていることがわかる。

#### 【0109】

以上、本実施形態によると、容易に、かつ少ない工程数で、一般的な順序回路を、更新出力付きクロックパルス発生器を備えた本発明の順序回路（新順序回路）に変換することができる。

#### 【0110】

なお、回路設計支援装置 130 に第 5 の実施形態に係る変化検出手段生成手段を備えて、原順序回路における記憶素子を変化出力付き記憶素子に変換するようにしてもよい。

#### 【0111】

（第 7 の実施形態）

図 29 は、本発明の第 7 の実施形態に係る通信装置の概観図である。本実施形態の通信装置である携帯電話 40 は、ベースバンド LSI 41 およびアプリケーション LSI 42 を備えている。そして、ベースバンド LSI 41 およびアプリケーション LSI 42 は、本発明に係る順序回路、たとえば、第 1 から第 3 の実施形態に係る順序回路 10、20 および 30 のいずれかを有する半導体集積回路である。

#### 【0112】

上述したように、本発明に係る順序回路は従来よりも少ない消費電力で動作可能であるため、ベースバンド LSI 41 およびアプリケーション LSI 42 ならびにこれらを備えた携帯電話 40 もまた低電力動作が可能となる。さらに、携帯電話 40 が備えている半導体集積回路であってベースバンド LSI 41 およびアプリケーション LSI 42 以外のものについても、当該半導体集積回路が備える順序回路を本発明に係る順序回路とすることによって、上記と同様の効果を得ることができる。

#### 【0113】

なお、本発明に係る通信装置は、携帯電話に限定されるべきではなく、これ以外にも、たとえば、通信システムにおける送信機・受信機やデータ伝送を行うモ

デム装置などを含むものである。すなわち、本発明によって、有線・無線や光通信・電気通信の別を問わず、また、デジタル方式・アナログ方式の別を問わず、あらゆる通信装置について消費電力低減の効果を得ることができる。

#### 【0 1 1 4】

##### (第 8 の実施形態)

図 3 0 は、本発明の第 8 の実施形態に係る情報再生装置の概観図である。本実施形態の情報再生装置である光ディスク装置 5 0 は、光ディスクから読み取った信号を処理するメディア信号処理 L S I 5 1 と、その信号の誤り訂正や光ピックアップのサーボ制御を行う誤り訂正・サーボ処理 L S I 5 2 とを備えている。そして、メディア信号処理 L S I 5 1 および誤り訂正・サーボ処理 L S I 5 2 は、本発明に係る順序回路、たとえば、第 1 から第 3 の実施形態に係る順序回路 1 0 , 2 0 および 3 0 のいずれかを有する半導体集積回路である。

#### 【0 1 1 5】

上述したように、本発明に係る順序回路は従来よりも少ない消費電力で動作可能であるため、メディア信号処理 L S I 5 1 および誤り訂正・サーボ処理 L S I 5 2 ならびにこれらを備えた光ディスク装置 5 0 もまた低電力動作が可能となる。さらに、光ディスク装置 5 0 が備えている半導体集積回路であってメディア信号処理 L S I 5 1 および誤り訂正・サーボ処理 L S I 5 2 以外のものについても、当該半導体集積回路が備える順序回路を本発明に係る順序回路とすることによって、上記と同様の効果を得ることができる。

#### 【0 1 1 6】

なお、本発明に係る情報再生装置は、光ディスク装置に限定されるべきではなく、これ以外にも、たとえば、磁気ディスクを内蔵した画像録画再生装置や半導体メモリを媒体とした情報記録再生装置などを含むものである。すなわち、本発明によって、情報が記録されたメディアの別を問わず、あらゆる情報再生装置（情報記録機能を含んでいてもよい）について消費電力低減の効果を得ることができる。

#### 【0 1 1 7】

##### (第 9 の実施形態)

図 3 1 は、本発明の第 9 の実施形態に係る画像表示装置の概観図である。本実施形態の画像表示装置であるテレビジョン受像機 6 0 は、画像信号や音声信号を処理する画像・音声処理 L S I 6 1 と、表示画面やスピーカなどのデバイスを制御するディスプレイ・音源制御 L S I 6 2 とを備えている。そして、画像・音声処理 L S I 6 1 およびディスプレイ・音源制御 L S I 6 2 は、本発明に係る順序回路、たとえば、第 1 から第 3 の実施形態に係る順序回路 1 0, 2 0 および 3 0 のいずれかを有する半導体集積回路である。

#### 【0118】

上述したように、本発明に係る順序回路は従来よりも少ない消費電力で動作可能であるため、画像・音声処理 L S I 6 1 およびディスプレイ・音源制御 L S I 6 2 ならびにこれらを備えたテレビジョン受像機 6 0 もまた低電力動作が可能となる。さらに、テレビジョン受像機 6 0 が備えている半導体集積回路であって画像・音声処理 L S I 6 1 およびディスプレイ・音源制御 L S I 6 2 以外のものについても、当該半導体集積回路が備える順序回路を本発明に係る順序回路とすることによって、上記と同様の効果を得ることができる。

#### 【0119】

なお、本発明に係る画像表示装置は、テレビジョン受像機に限定されるべきではなく、これ以外にも、たとえば、電気通信回線を通じて配信されるストリーミングデータを表示する装置をも含むものである。すなわち、本発明によって、情報の伝送方法の別を問わず、あらゆる画像表示装置について消費電力低減の効果を得ることができる。

#### 【0120】

(第 1 0 の実施形態)

図 3 2 は、本発明の第 1 0 の実施形態に係る電子装置の概観図である。本実施形態の電子装置であるデジタルカメラ 7 0 は、本発明に係る順序回路、たとえば、第 1 から第 3 の実施形態に係る順序回路 1 0, 2 0 および 3 0 のいずれかを有する半導体集積回路である信号処理 L S I 7 1 を備えている。

#### 【0121】

上述したように、本発明に係る順序回路は従来よりも少ない消費電力で動作可

能であるため、信号処理 L S I 71 およびこれを備えたデジタルカメラ 70 もまた低電力動作が可能となる。さらに、デジタルカメラ 70 が備えている半導体集積回路であって信号処理 L S I 71 以外のものについても、当該半導体集積回路が備える順序回路を本発明に係る順序回路とすることによって、上記と同様の効果を得ることができる。

#### 【0122】

なお、本発明に係る電子装置は、デジタルカメラに限定されるべきではなく、これ以外にも、たとえば、各種センサ機器や電子計算機など、およそ半導体集積回路を備えた装置全般を含むものである。そして、本発明によって、電子装置全般について消費電力低減の効果を得ることができる。

#### 【0123】

##### (第11の実施形態)

図33は、本発明の第11の実施形態に係る電子制御装置およびそれを備えた移動体の概観図である。本実施形態の移動体である自動車 80 は、電子制御装置 90 を備えている。電子制御装置 90 は、本発明に係る順序回路、たとえば、第1から第3の実施形態に係る順序回路 10, 20 および 30 のいずれかを有する半導体集積回路であって、自動車 80 のエンジンやトランスミッションなどを制御するエンジン・トランスミッション制御 L S I 91 を備えている。また、自動車 80 は、ナビゲーション装置 81 (本発明の電子装置に相当) を備えている。ナビゲーション装置 81 もまた電子制御装置 90 と同様に、第1から第3の実施形態に係る順序回路 10, 20 および 30 のいずれかを有する半導体集積回路であるナビゲーション用 L S I 82 を備えている。

#### 【0124】

上述したように、本発明に係る順序回路は従来よりも少ない消費電力で動作可能であるため、エンジン・トランスミッション制御 L S I 91 およびこれを備えた電子制御装置 90 もまた低電力動作が可能となる。同様に、ナビゲーション L S I 82 およびこれを備えたナビゲーション装置 81 もまた低電力動作が可能となる。さらに、電子制御装置 90 が備えている半導体集積回路であってエンジン・トランスミッション制御 L S I 91 以外のものについても、当該半導体集積回



路が備える順序回路を本発明に係る順序回路とすることによって、上記と同様の効果を得ることができる。ナビゲーション装置 81 についても同様のことが言える。そして、電子制御装置 80 の低消費電力化によって、自動車 80 における消費電力も低減することができる。

#### 【0125】

なお、本発明に係る電子制御装置は、上記のエンジンやトランスミッションを制御するものに限定されるべきではなく、これ以外にも、たとえば、モータ制御装置など、およそ半導体集積回路を備え、動力源を制御する装置全般を含むものである。そして、本発明によって、そのような電子制御装置について消費電力低減の効果を得ることができる。

#### 【0126】

また、本発明に係る移動体は、自動車に限定されるべきではなく、これ以外にも、たとえば、列車や飛行機など、およそ動力源であるエンジンやモータなどを制御する電子制御装置を備えたもの全般を含むものである。そして、本発明によって、そのような移動体について消費電力低減の効果を得ることができる。

#### 【0127】

##### 【発明の効果】

以上説明したように、本発明によると、順序回路に関して、仕様のクロック停止が不可能であり、かつ記憶素子の出力のフィードバックが存在しないことを前提としたクロック制御が可能となる。これにより、低電力動作が可能な順序回路を実現することができる。特に、本発明の順序回路では、記憶素子出力のフィードバックが存在しないため、回路構成およびクロック制御を単純化することができ、容易に実現することが可能である。

#### 【0128】

さらに、回路設計支援装置を用いて、一般的な順序回路を上記の順序回路に変換することができる。これにより、これまで蓄積した回路資源を利用して、より低電力動作が可能な順序回路を容易に生成することができる。

#### 【0129】

また、本発明の順序回路を備えた半導体集積回路およびそれを備えた電子装置

や電子制御装置について、消費電力を低減することができる。さらに、そのような電子制御装置を備えた移動体についても、消費電力を低減することができる。

**【図面の簡単な説明】**

**【図 1】**

本発明の第 1 の実施形態に係る順序回路の回路図である。

**【図 2】**

図 1 に示した順序回路のタイミングチャートである。

**【図 3】**

本発明の第 2 の実施形態に係る順序回路の回路図である。

**【図 4】**

図 3 に示した順序回路のタイミングチャートである。

**【図 5】**

図 3 に示した順序回路における記憶素子の回路図である。

**【図 6】**

図 5 に示した記憶素子のタイミングチャートである。

**【図 7】**

図 3 に示した順序回路における記憶素子の別の回路図である。

**【図 8】**

図 7 に示した記憶素子のタイミングチャートである。

**【図 9】**

本発明の第 3 の実施形態に係るクロック発生回路の回路図である。

**【図 1 0】**

図 9 に示したクロック発生回路のタイミングチャートである。

**【図 1 1】**

図 9 に示したクロックパルス発生器の回路図である。

**【図 1 2】**

図 1 1 に示したクロック発生回路のタイミングチャートである。

**【図 1 3】**

図 9 に示したクロックパルス発生器の別の回路図である。

**【図 1 4】**

図 1 3 に示したクロック発生回路のタイミングチャートである。

**【図 1 5】**

本発明の第 3 の実施形態に係る順序回路の回路図である。

**【図 1 6】**

図 1 6 に示した順序回路のタイミングチャートである。

**【図 1 7】**

本発明の第 4 の実施形態に係る回路設計支援装置の概要図である。

**【図 1 8】**

スレーブセル抽出手段のフローチャートである。

**【図 1 9】**

マスターセルグループ抽出手段のフローチャートである。

**【図 2 0】**

変化検出手段生成手段のフローチャートである。

**【図 2 1】**

クロックパルス発生器生成手段のフローチャートである。

**【図 2 2】**

本発明の第 4 の実施形態に係る接続情報合成手段のフローチャートである。

**【図 2 3】**

本発明の第 5 の実施形態に係る回路設計支援装置の概要図である。

**【図 2 4】**

本発明の第 5 の実施形態に係る変化検出手段生成手段のフローチャートである。

**【図 2 5】**

本発明の第 5 の実施形態に係る接続情報合成手段のフローチャートである。

**【図 2 6】**

本発明の第 6 の実施形態に係る回路設計支援装置の概要図である。

**【図 2 7】**

クロックパルス発生器変換手段のフローチャートである。

**【図 2 8】**

本発明の第 6 の実施形態に係る接続情報合成手段のフローチャートである。

**【図 2 9】**

本発明の第 7 の実施形態に係る通信装置の概観図である。

**【図 3 0】**

本発明の第 8 の実施形態に係る情報再生装置の概観図である。

**【図 3 1】**

本発明の第 9 の実施形態に係る画像表示装置の概観図である。

**【図 3 2】**

本発明の第 1 0 の実施形態に係る電子装置の概観図である。

**【図 3 3】**

本発明の第 1 1 の実施形態に係る電子制御装置およびそれを備えた移動体の概観図である。

**【図 3 4】**

従来のクロック制御技術の概要図である。

**【図 3 5】**

別の従来のクロック制御技術の概要図である。

**【符号の説明】**

1 0, 2 0, 3 0 順序回路

1 1 記憶素子

1 1 a, 1 1 b, 1 1 c マスターセル (記憶素子)

1 1 d, 1 1 e スレーブセル (記憶素子)

1 3 クロックパルス発生器

1 4 変化検出器

1 5, 1 5 a ~ 1 5 d マスターセルグループ

1 6, 1 6 a ~ 1 6 d クロックドメイン

2 1, 2 1 A, 2 1 B 記憶素子 (変化出力付き記憶素子)

2 1 a, 2 1 b, 2 1 c マスターセル (変化出力付き記憶素子)

2 1 1 ラッチ回路

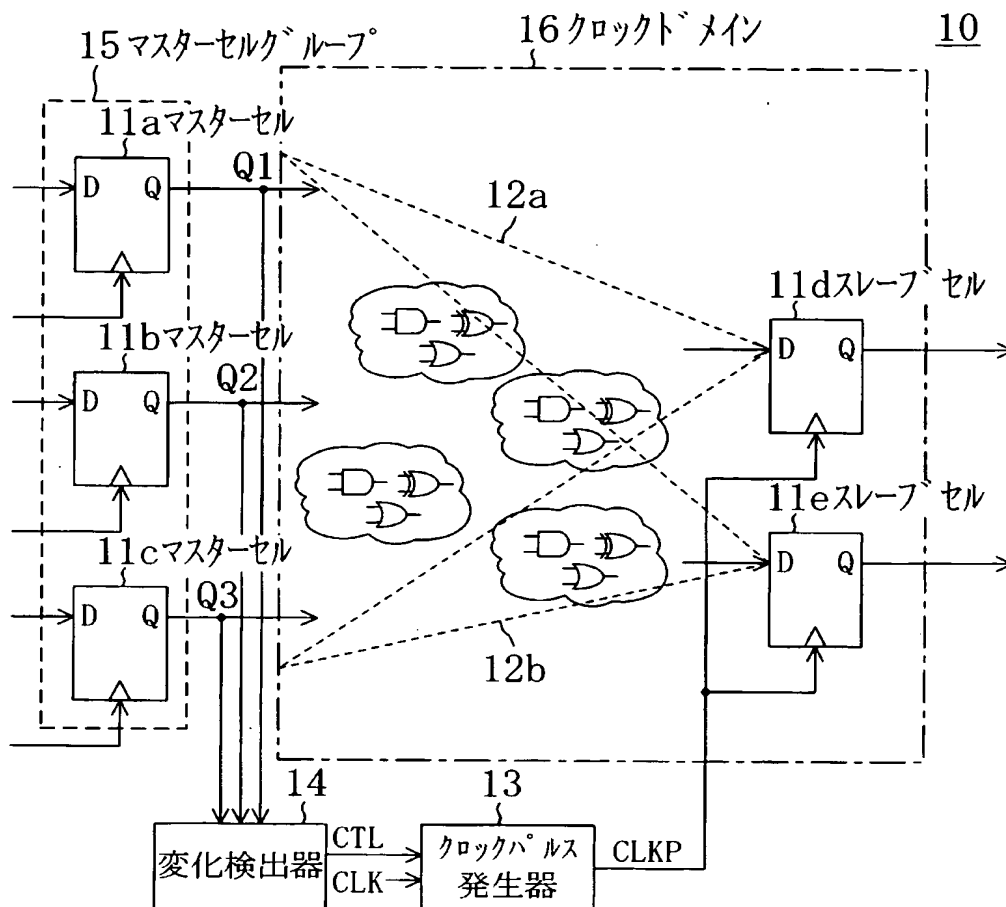
- 2 1 1 a スレーブラッチ回路
- 2 1 1 b マスターラッチ回路
- 2 1 2 論理素子 (第 1 の論理素子)
- 2 1 3 遅延素子
- 2 1 4 論理素子 (第 2 の論理素子)
- 2 1 5 基本クロック生成回路
- 2 1 8, 2 1 9 変化検出回路
- 2 2 クロック発生回路
- 2 3 クロックパルス発生器 (更新出力付きクロックパルス発生器)
- 2 3 1 ラッチ回路
- 2 3 2 論理素子 (第 1 の論理素子)
- 2 3 3 論理素子 (第 2 の論理素子)
- 2 3 4 論理素子 (第 1 の論理素子)
- 2 5, 2 5 a ~ 2 5 d クロックパルス発生要求信号線
- 1 1 0, 1 2 0, 1 3 0 回路設計支援装置
- 4 0 携帯電話 (通信装置)
- 4 1 アプリケーション L S I (半導体集積回路)
- 4 2 ベースバンド L S I (半導体集積回路)
- 5 0 光ディスク装置 (情報再生装置)
- 5 1 メディア信号処理 L S I (半導体集積回路)
- 5 2 誤り訂正・サーボ処理 L S I (半導体集積回路)
- 6 0 テレビジョン受像機 (画像表示装置)
- 6 1 画像・音声処理 L S I (半導体集積回路)
- 6 2 ディスプレイ・音源制御 L S I (半導体集積回路)
- 7 0 デジタルカメラ (電子装置)
- 7 1 信号処理 L S I (半導体集積回路)
- 8 0 自動車 (移動体)
- 8 1 ナビゲーション装置 (電子装置)
- 8 2 ナビゲーション用 L S I (半導体集積回路)

9 0 電子制御装置

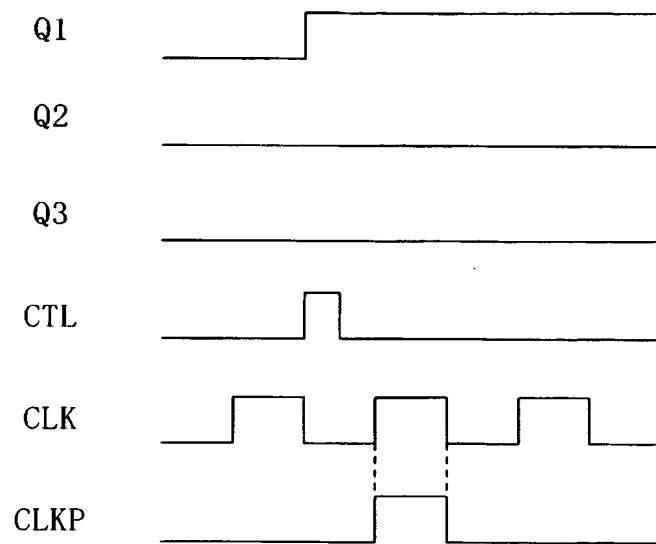
9 1 エンジン・トランスミッション制御 L S I (半導体集積回路)

【書類名】 図面

【図 1】

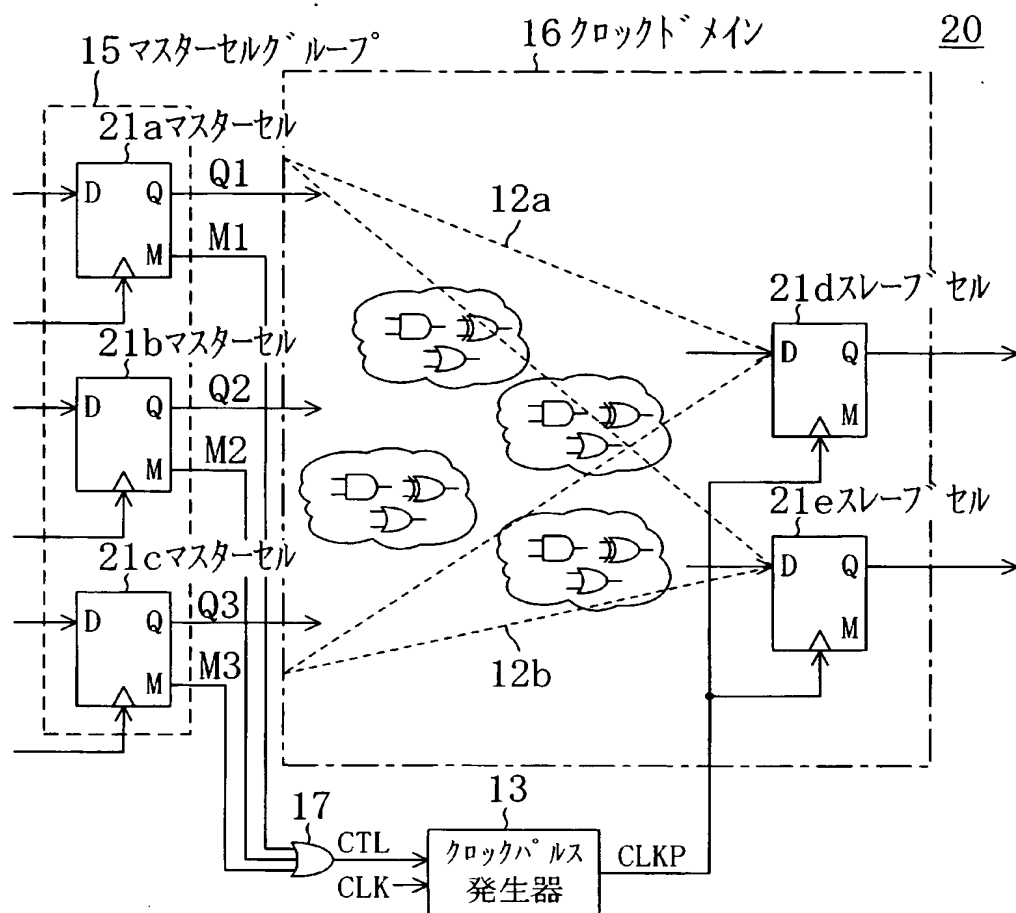


【図 2】

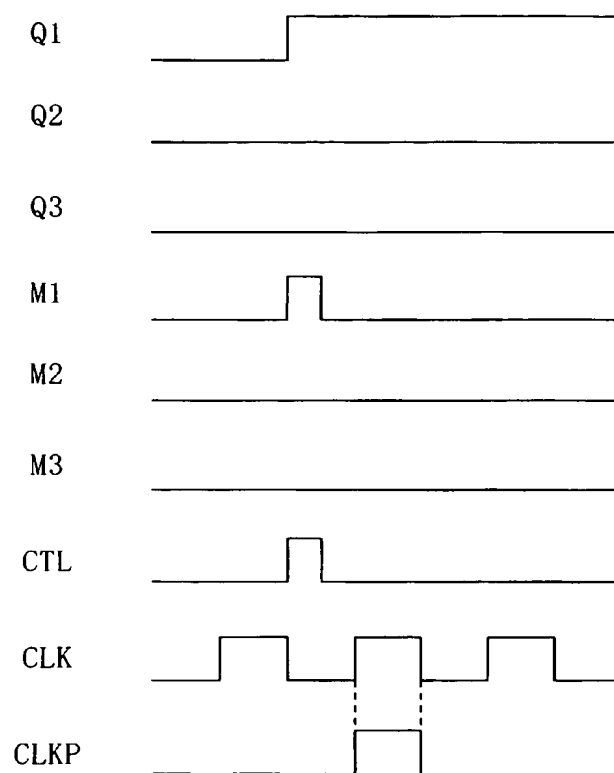




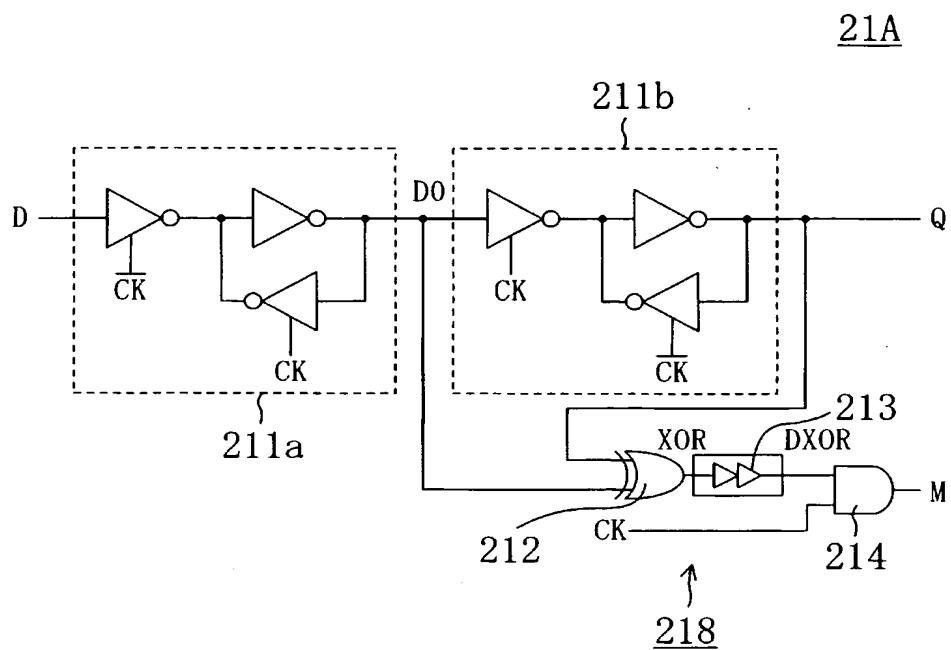
【図 3】



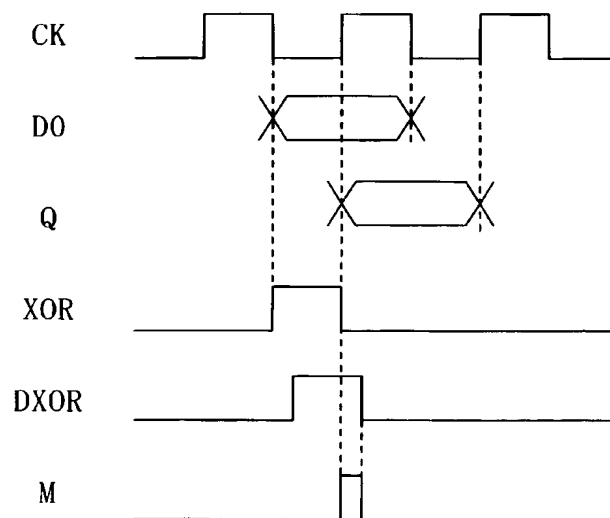
【図 4】



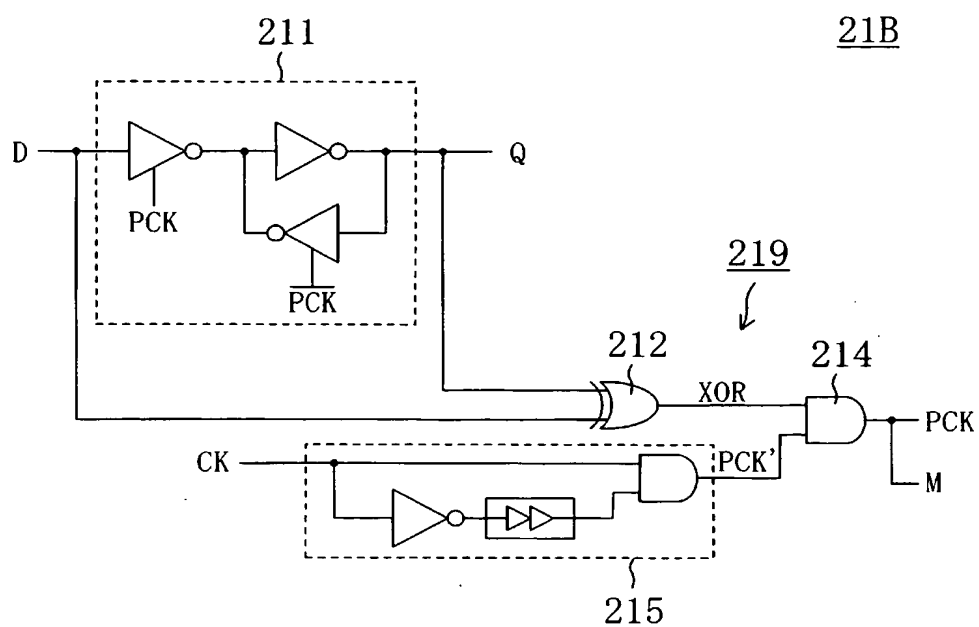
【図 5】



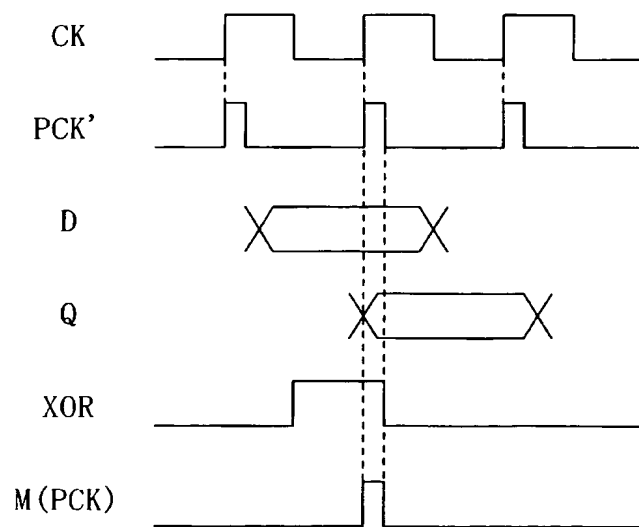
【図 6】



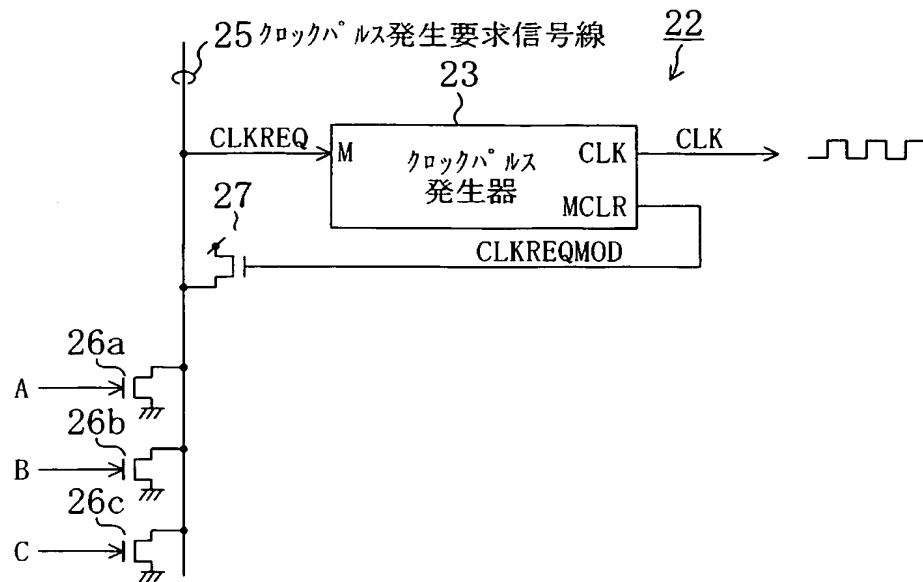
【図 7】



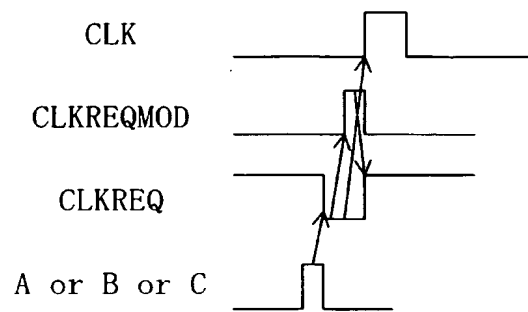
【図 8】



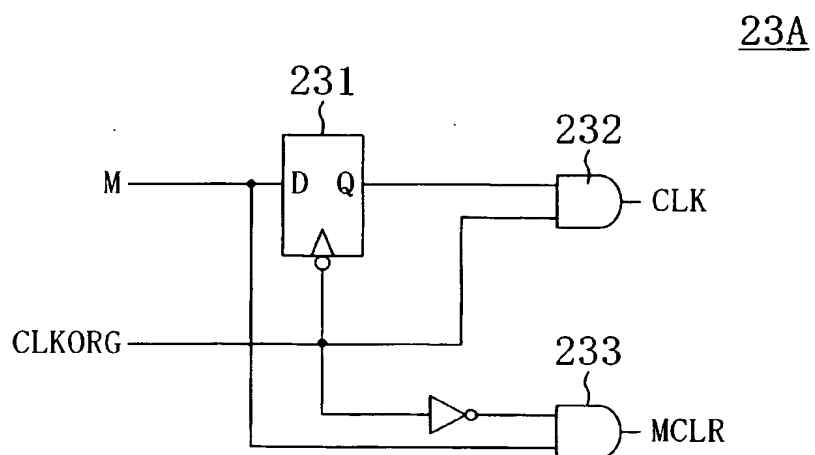
【図 9】



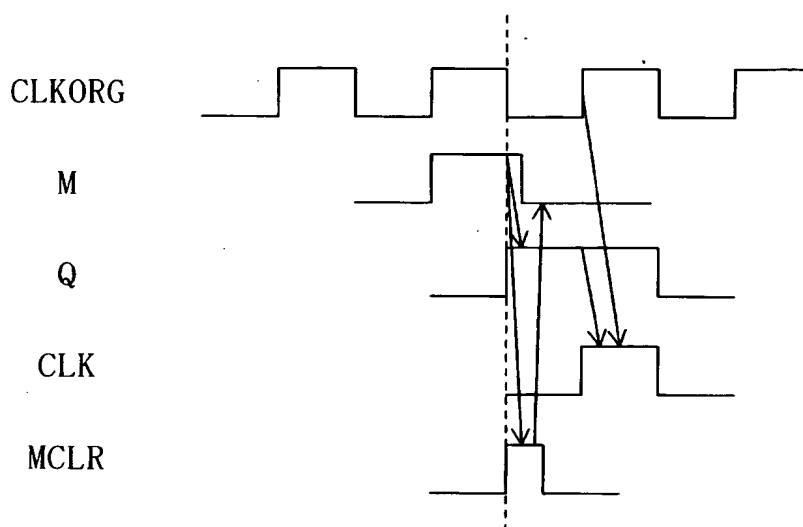
【図 10】



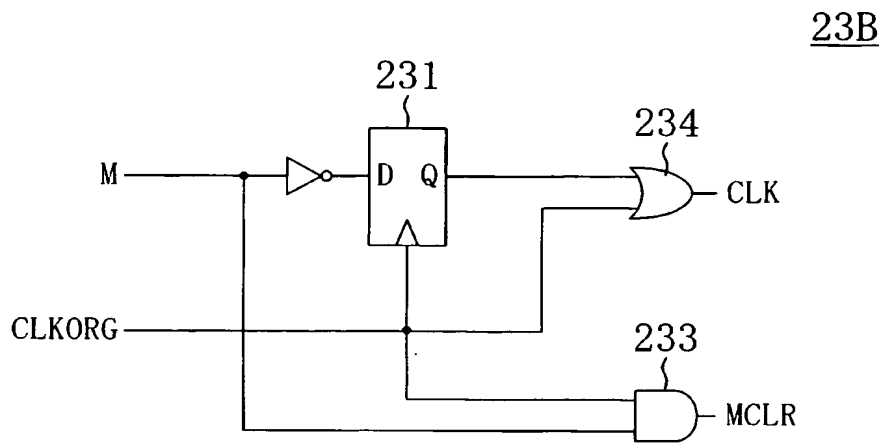
【図 1 1】



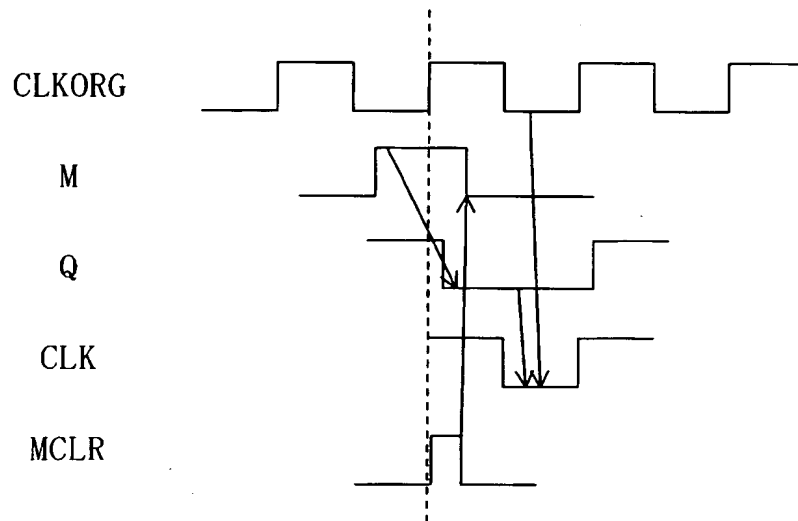
【図 1 2】



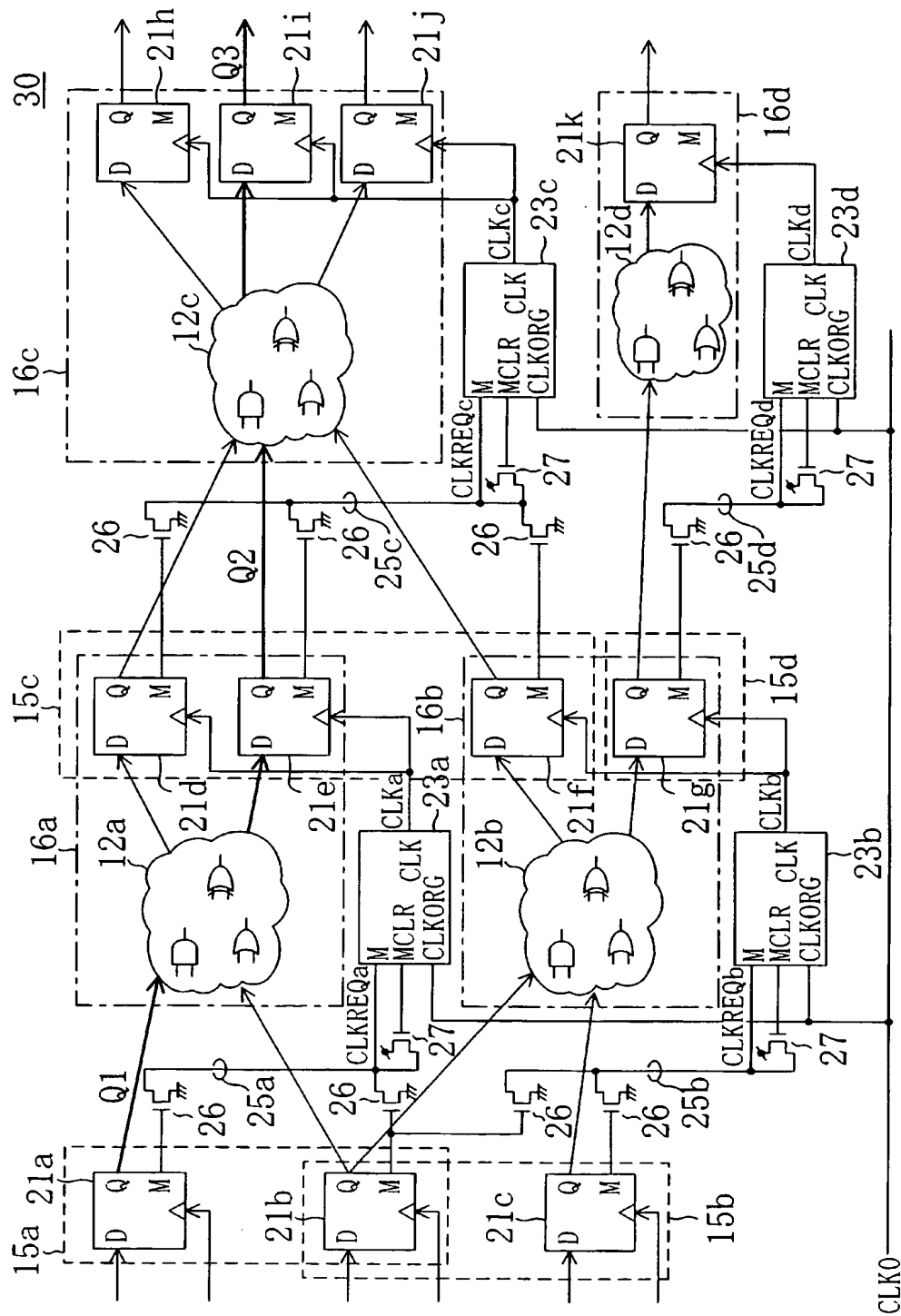
【図 13】



【図 14】

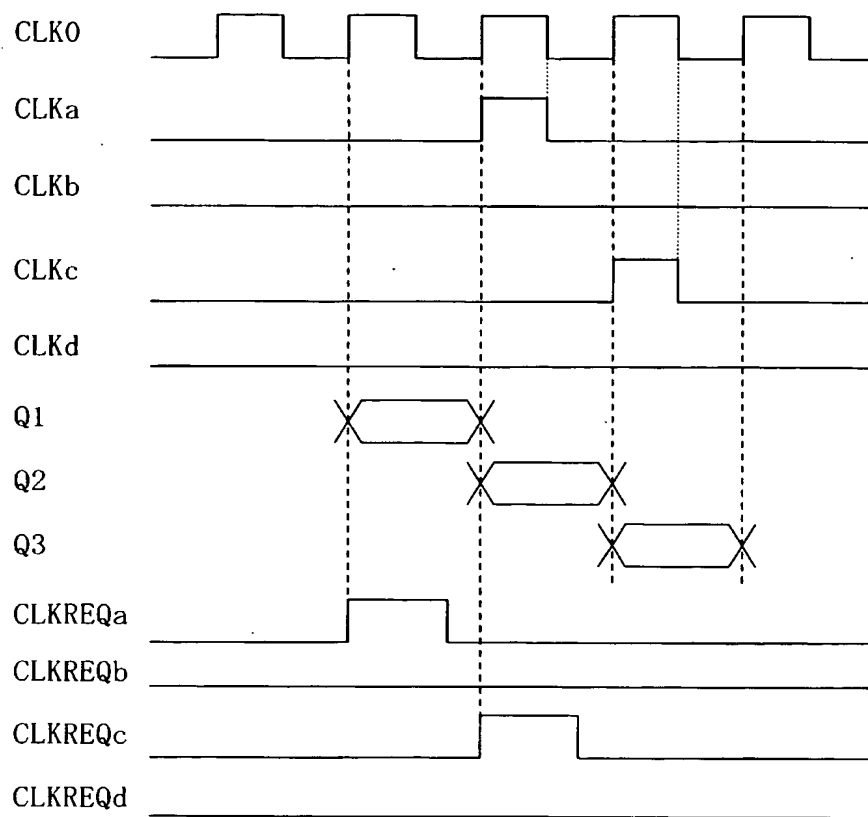


【図 15】



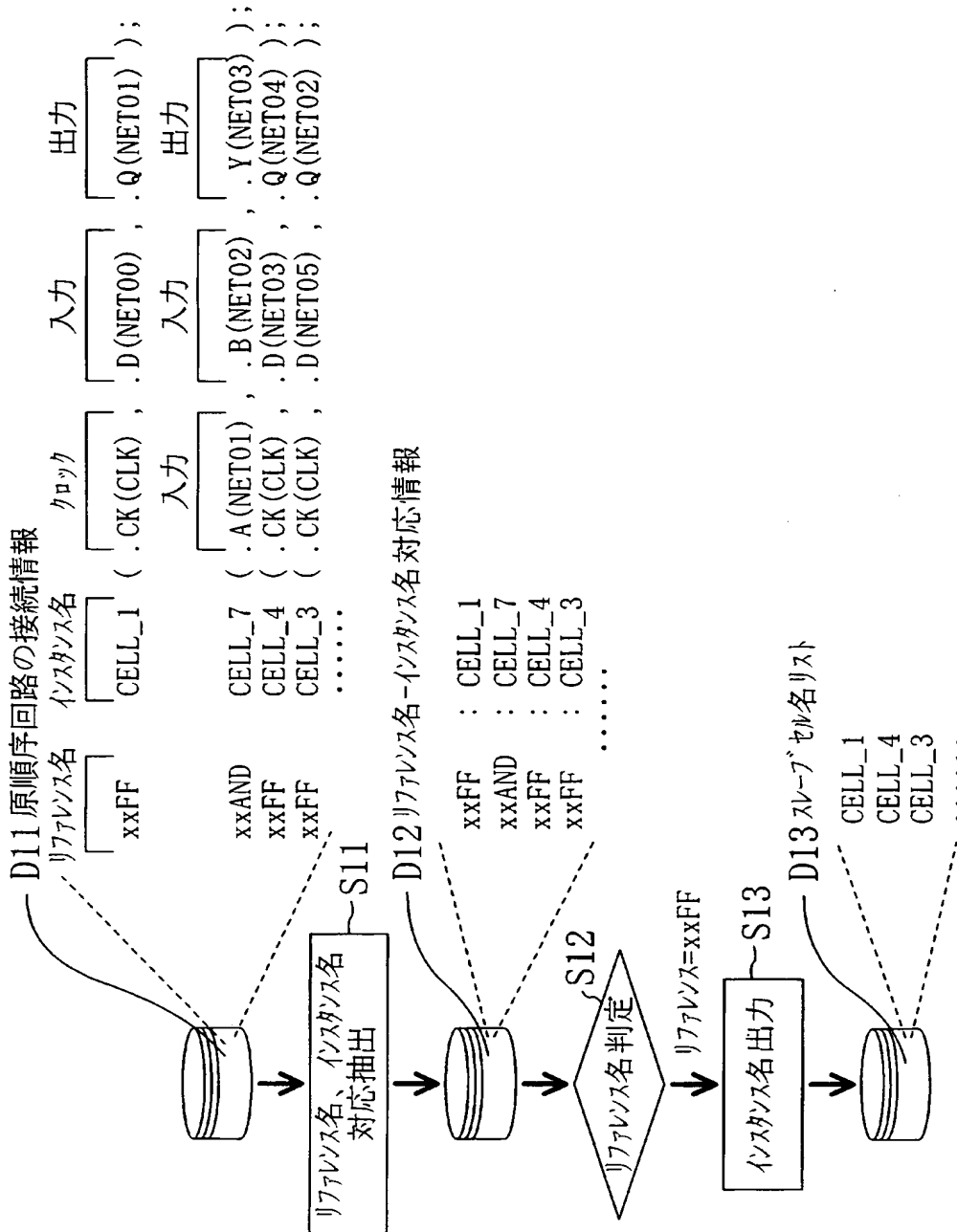


【図 16】

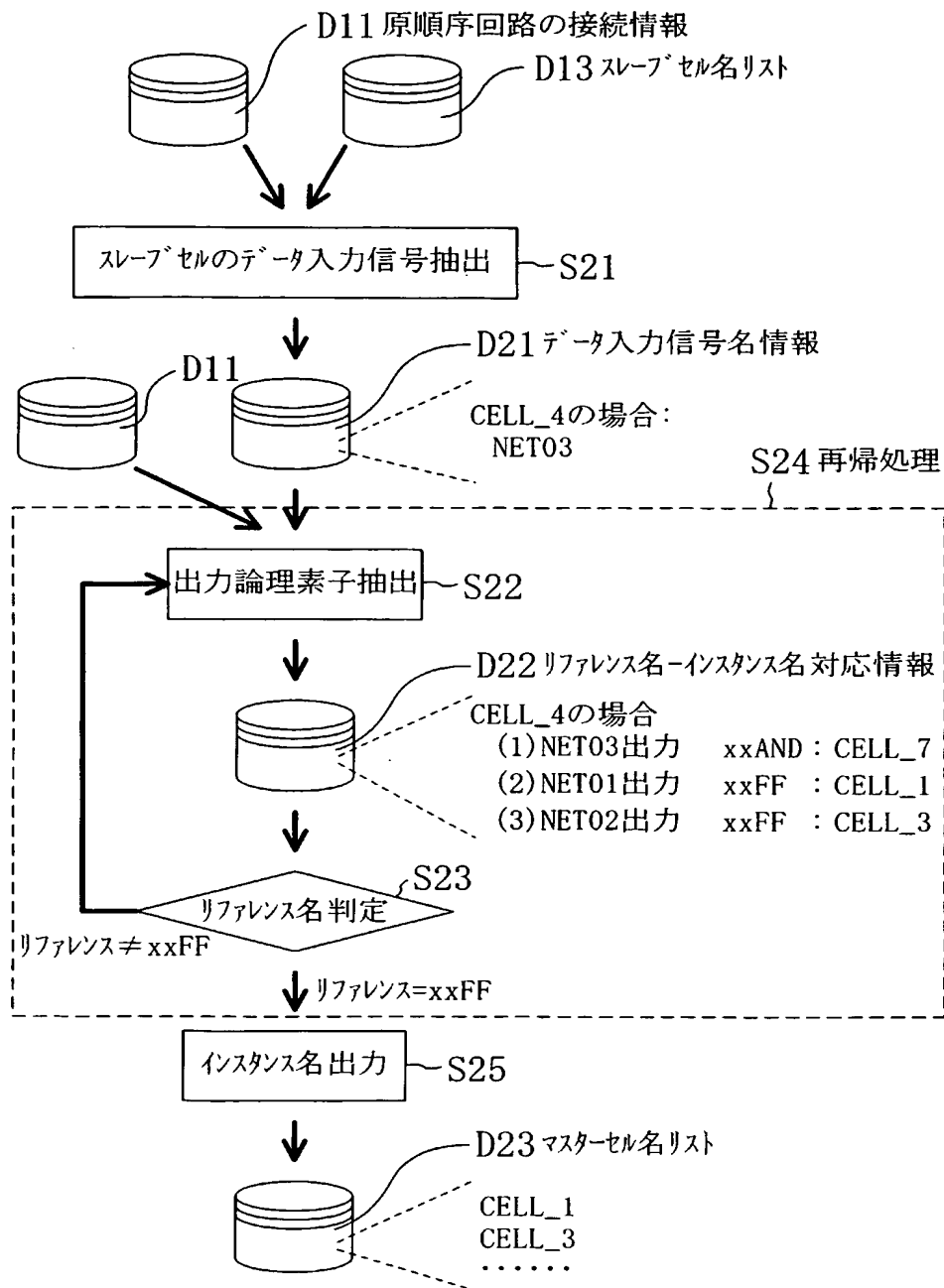




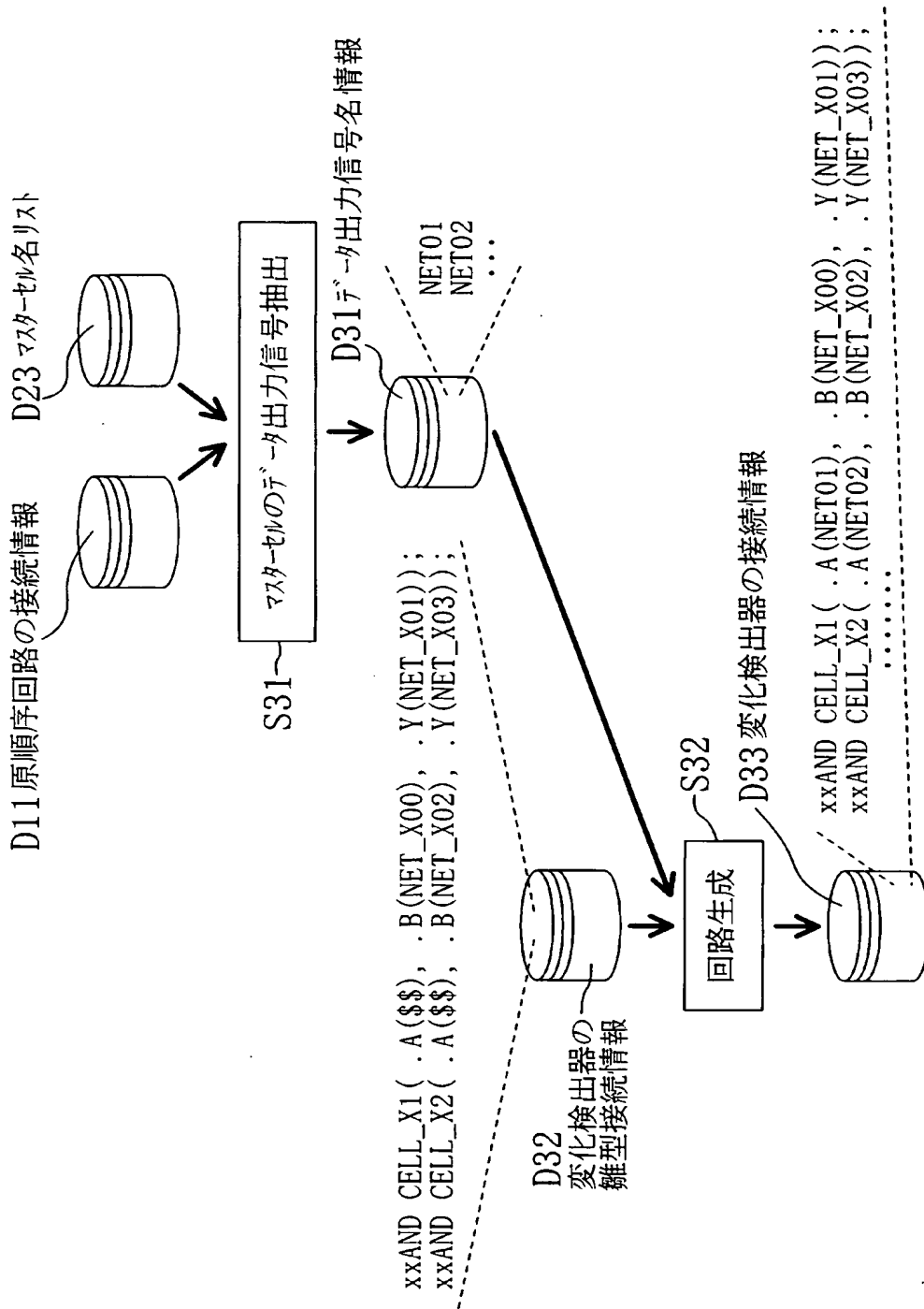
【図 18】



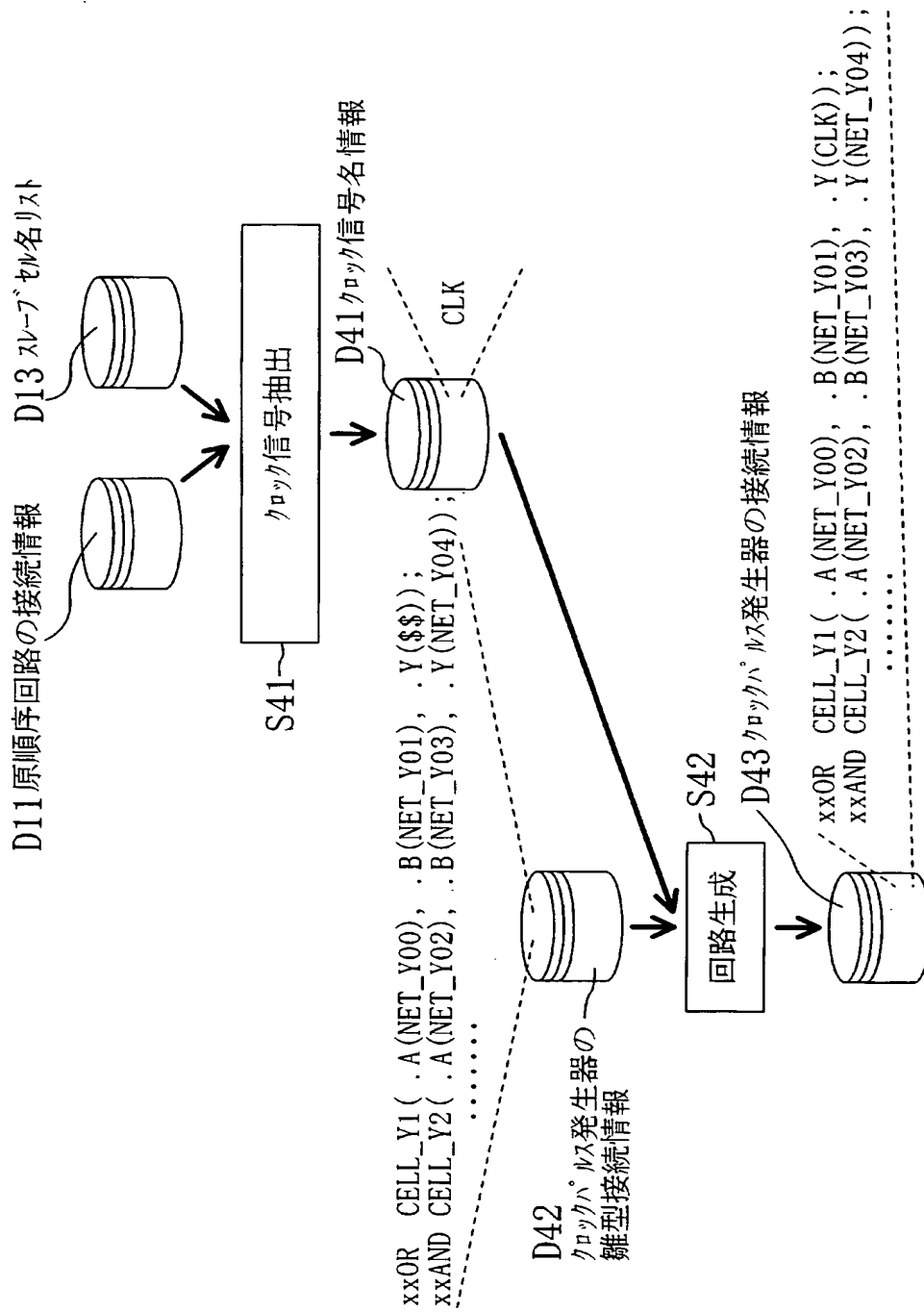
【図 19】



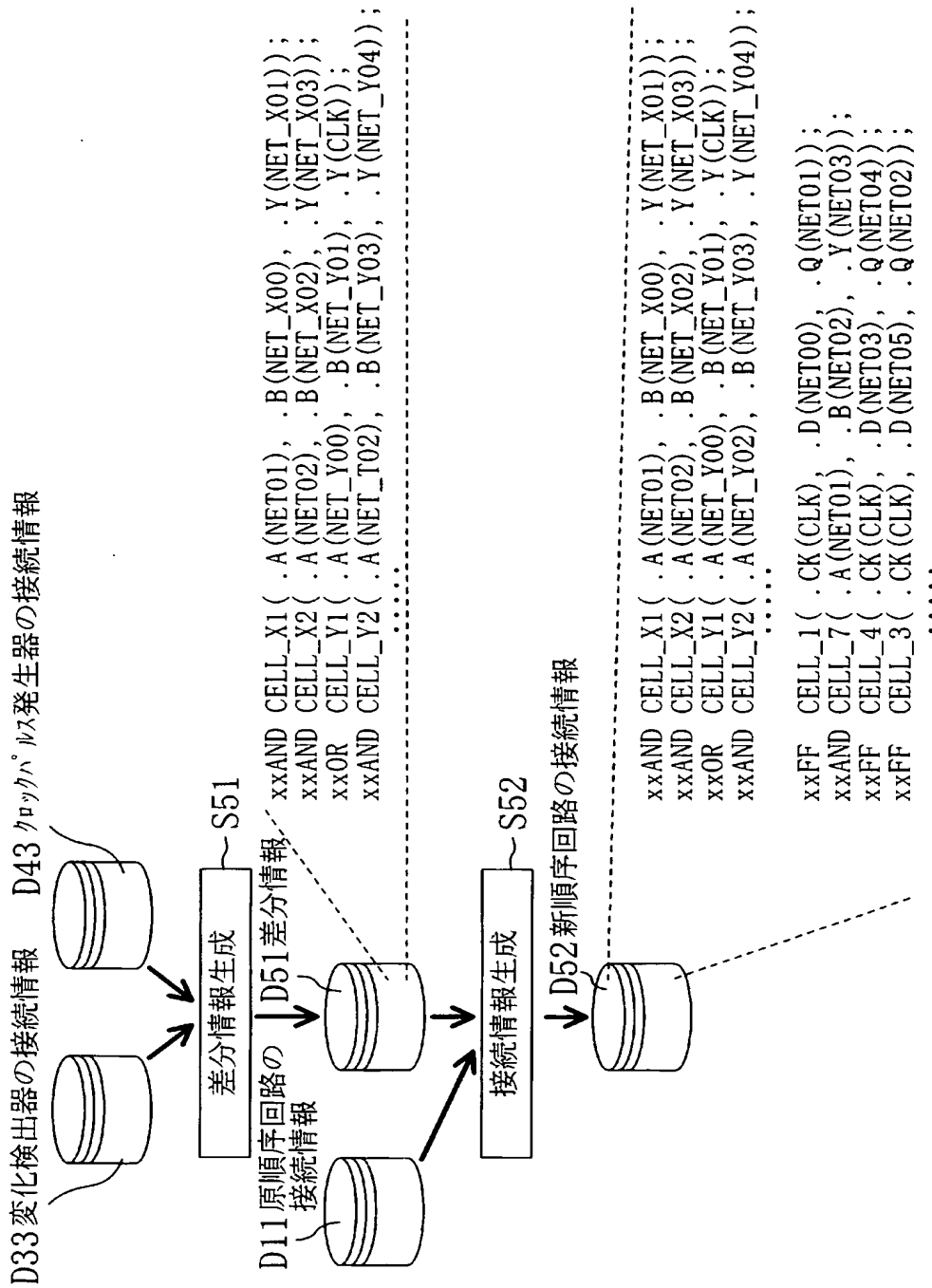
【図 20】



【図 21】



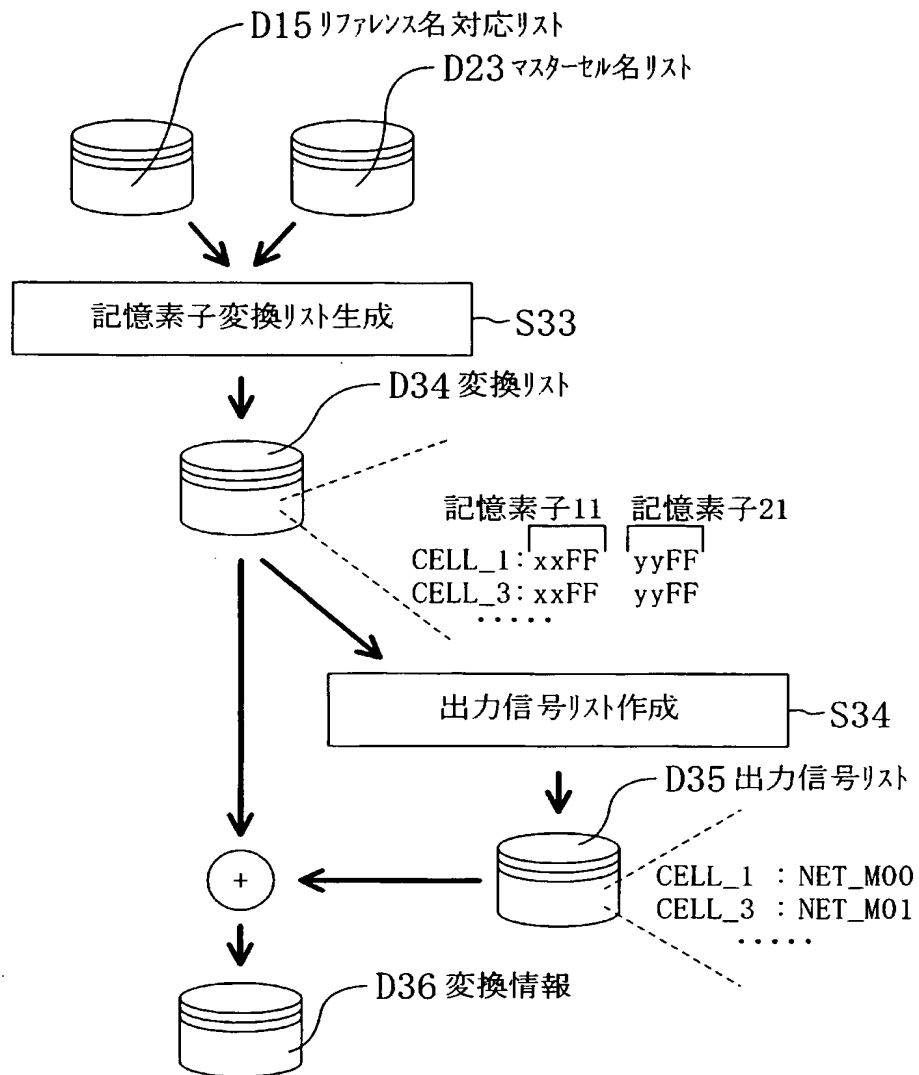
【図 22】



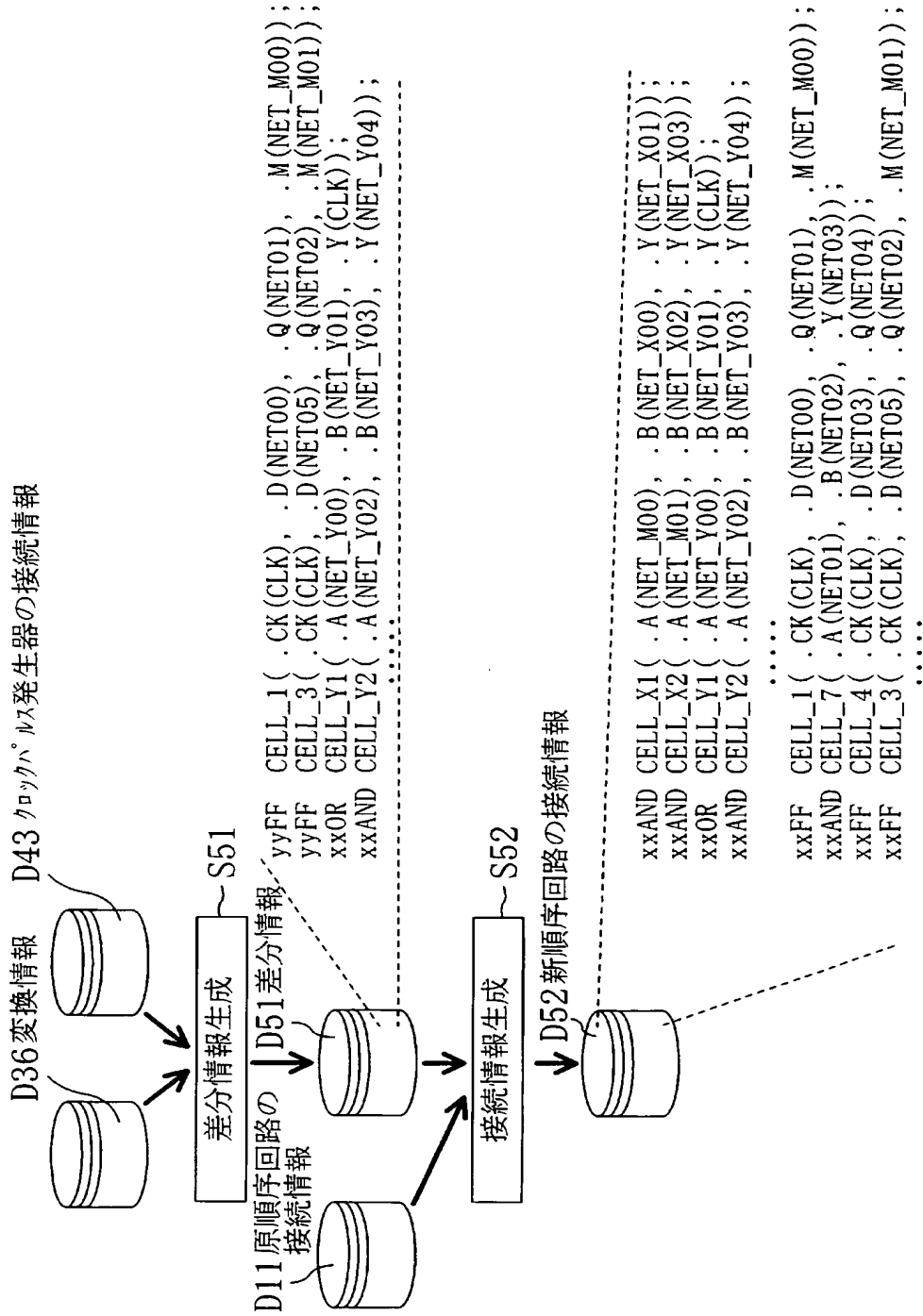




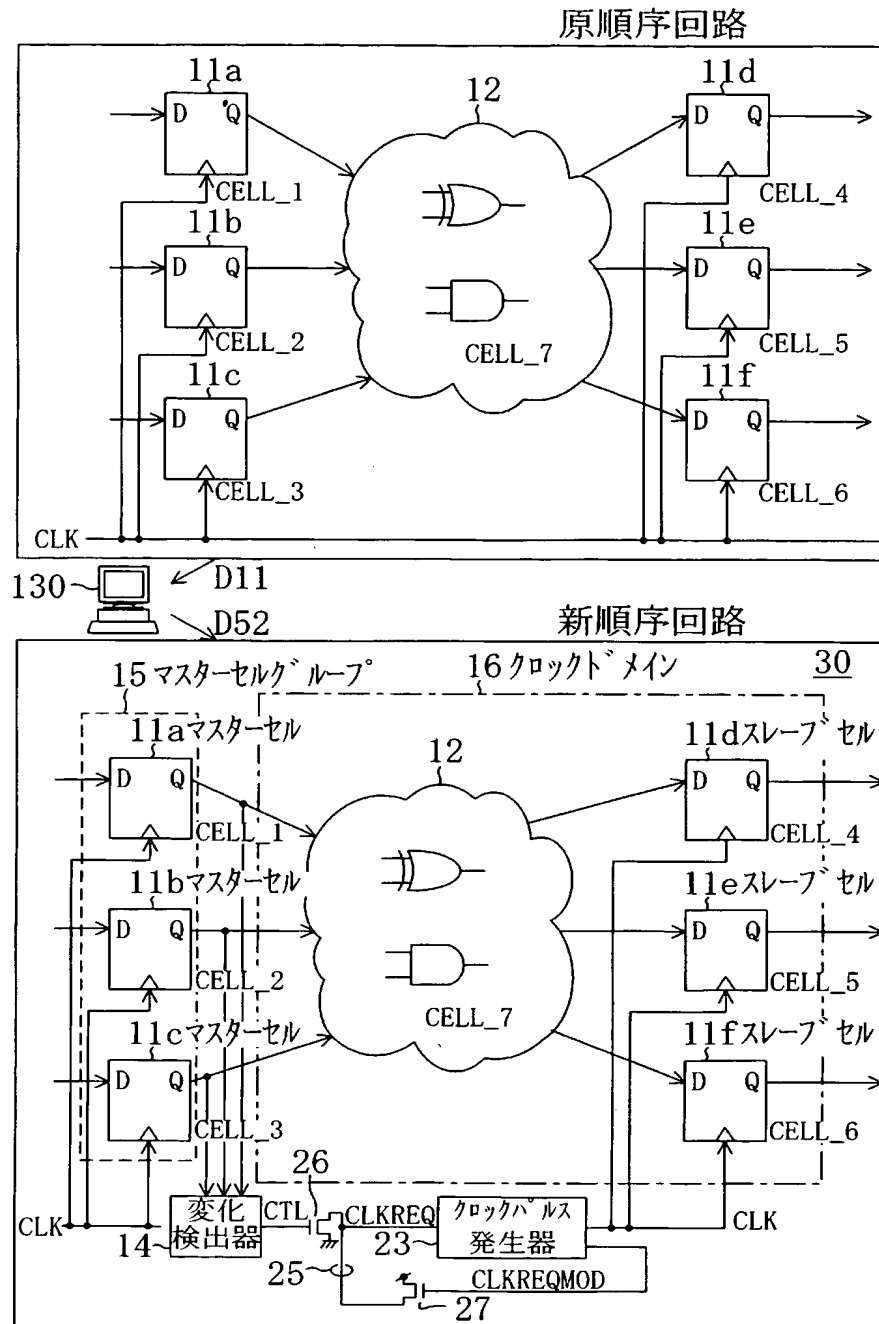
【図 24】



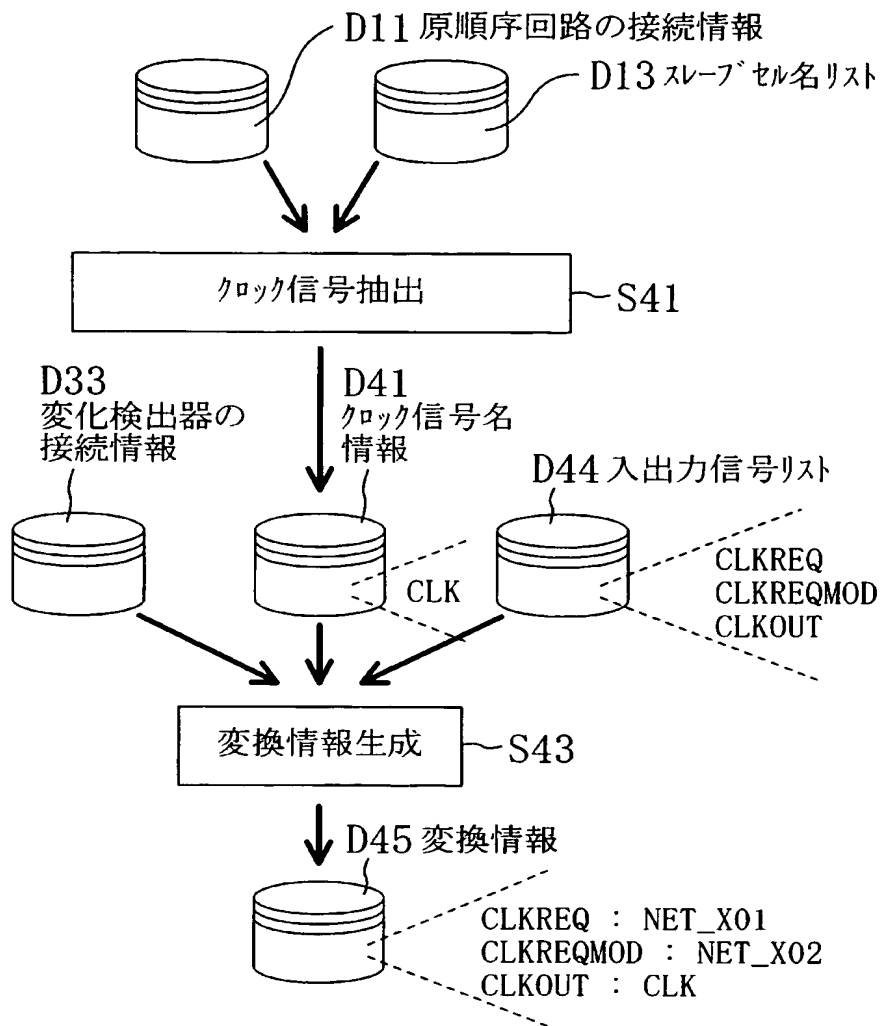
【図 25】



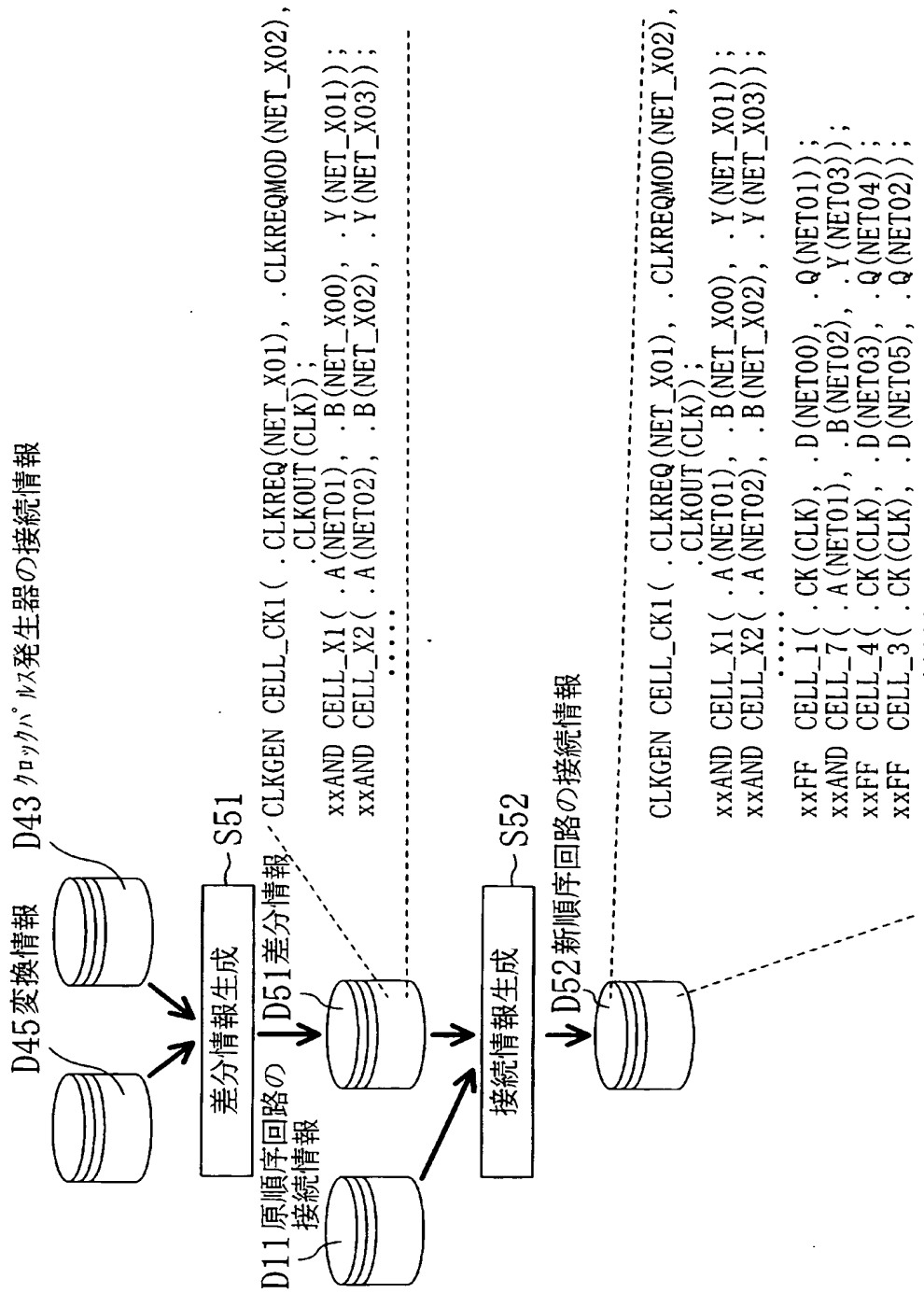
【図 26】



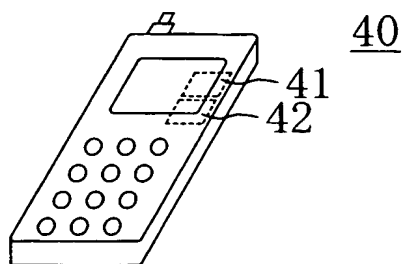
【図 27】



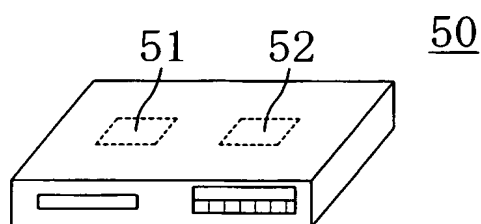
【図 28】



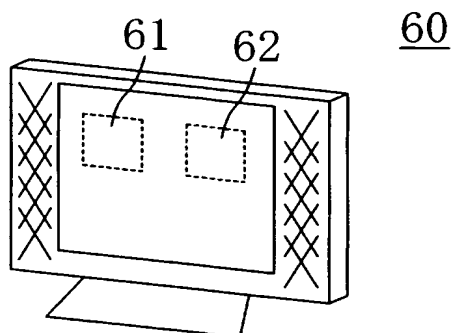
【図 29】



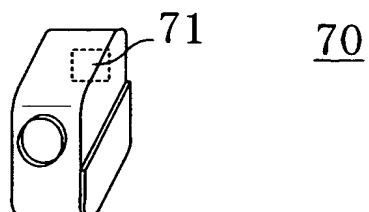
【図 30】



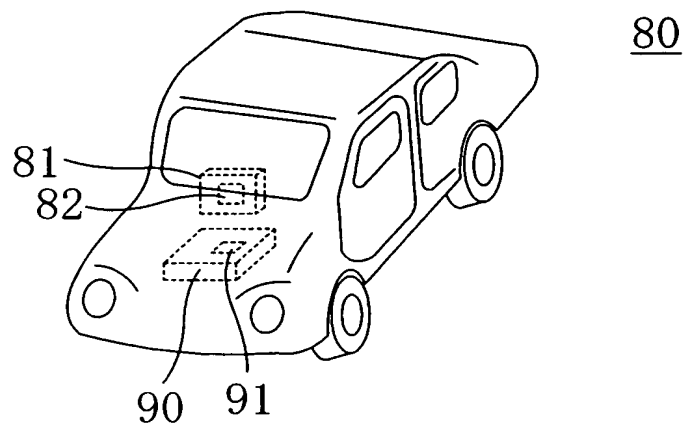
【図 31】



【図 32】

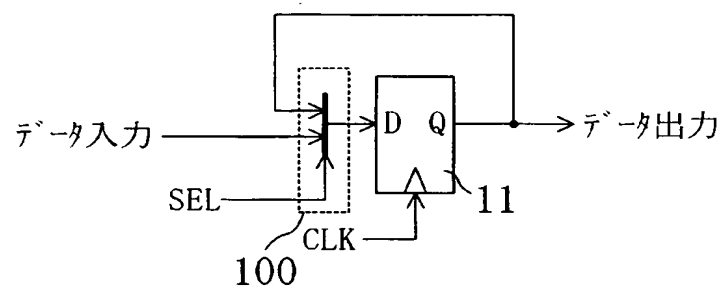


【図 3 3】



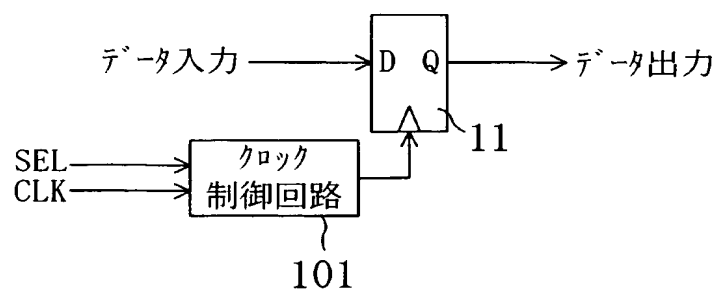
【図 3 4】

(a)



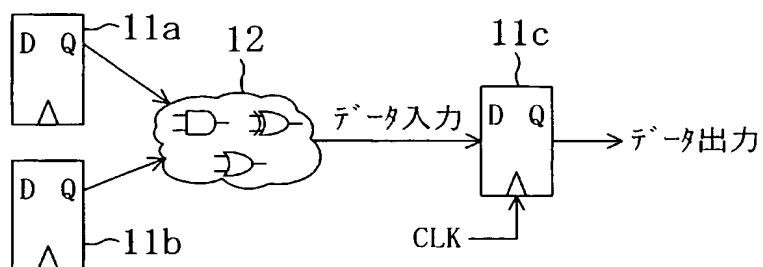
記憶素子の更新機能が  
等価であるとみなして  
置き換える

(b)



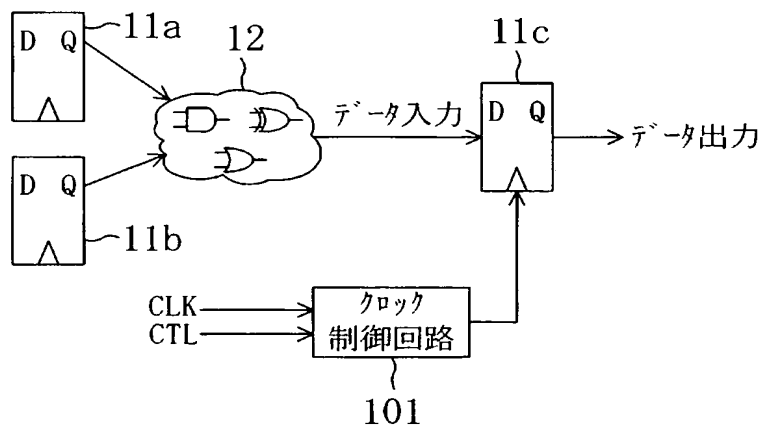
【図 35】

(a)



↓  
記憶素子の出力変化が  
機能に影響しない場合は  
CLKを停止しても  
等価であるとみなして  
置き換える

(b)





【書類名】 要約書

【要約】

【課題】 仕樣的にクロック停止が不可能であり、かつ記憶素子の出力のフィードバックが存在しないことを前提とした、順序回路のクロック制御を実現する。

【解決手段】 順序回路 10 に、マスターセルグループ 15 に属する記憶素子であるマスターセル 11a, 11a, 11c のいずれかの記憶内容が変化したことを検出してクロック制御信号 CTL を出力する変化検出器 14 と、クロック制御信号 CTL を受けてクロックパルス CLKP を発生させ、クロックドメイン 16 に属する記憶素子であって、マスターセルグループ 15 に属する記憶素子であるマスターセル 11a, 11a, 11c のいずれかの記憶内容が変化することによって入力に変化するスレーブセル 11d, 11e に、クロックパルス CLKP を与えるクロックパルス発生器 13 とを設ける。

【選択図】 図 1

特願 2 0 0 3 - 0 3 4 5 3 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社